

碩士學位論文

CMOS 뉴런의 특성곡선에 관한
연구



濟州大學校 産業大學院

電子電氣工學科

申 東 河

2002

碩士學位論文

CMOS 뉴런의 특성곡선에 관한
연구

指導教授 康 珉 齊



濟州大學校 産業大學院

電子電氣工學科

申 東 河

2002

CMOS 뉴런의 특성곡선에 관한 연구

指導教授 康 珉 齊

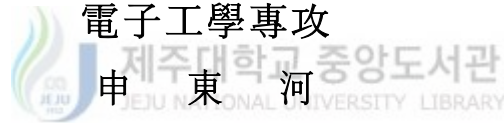
이 論文을 工學 碩士學位 論文으로 提出함

2002 年 12 月 日

濟州大學校 産業大學院

電子電氣工學科

電子工學專攻



申 東 河

申東河의 工學 碩士學位 論文을 認准함

2002 年 12 月 日

審査委員長 _____ 印

委 員 _____ 印

委 員 _____ 印

목 차

Summary	1
I. 서 론	3
II. 신경회로망의 구현	5
2. 1 아날로그 신경망 회로	5
2. 2 CMOS 시냅스 회로	8
2. 3 CMOS 인버터를 기본으로 한 뉴런	11
III. CMOS 뉴런의 특성곡선	14
3. 1 특성곡선의 기울기	14
3. 2 특성곡선의 x축으로 이동	16
3. 3 특성곡선의 y축으로 이동	18
IV. PSpice 시뮬레이션 및 고찰	21
4. 1 특성곡선의 기울기	21
4. 2 특성곡선의 x축으로 이동	23
4. 3 특성곡선의 y축으로 이동	27
V. 결 론	30
참 고 문 헌	31



Research Reference to CMOS Neuron Voltage Transfer Characteristics

Dong-Ha Shin

Department of Electronic and Electrical Engineering
Graduate School of Industry
Cheju National University

Supervised by Professor Min-Jae Kang

Summary

There are several ways to implement artificial neural networks, such as using softwares or hardwares. Conventional computers have some difficulties in implementing artificial neural networks because of different processing ways. A conventional computer processes in serial whereas neural networks do in parallel. Therefore, special chips or hardwares are required to implement neural networks in which all processes are in parallel. Neural networks are composed of synapses and neurons. Synapse connects neurons and transmittable output of neuron to other neuron. Artificial neuron has different types of activation function. Among them, sigmoidal type is the most used in artificial neural networks.

A CMOS inverter is commonly used for implementing an electronic neuron. That is because of a CMOS inverter's voltage transfer characteristic has sigmoidal shape. Neuron's activation function effects on an artificial neural networks's converging speed and stability. Different slopes and thresh hold voltages of neuron's activation function are usually required for different applications of neural networks. Therefore, it is needed to control a CMOS inverter based neuron for different shapes of

activation function.

In this thesis, an activation function's slope in a CMOS inverter based neuron is controlled by changing MOS transistor's threshold voltage.

Also, a new method has been proposed to shift an activation function in the x and y axes. This method is based on the fact that the voltage transfer characteristic passes its center point when both NMOS and PMOS transistors are in the saturation region.



I. 서론

뉴런과 관련하여 신경회로망에 대한 연구는 인간 신경의 구조를 모방하여 그와 유사한 작용을 하게 하려는 의도에서 시작되었다. 실제로 일련의 자연적인 상황(예: 빛, 화상이나 음성 등)을 인식하고 판단을 내리는 경우 인간의 두뇌는 컴퓨터보다 빠르다. 오래 전부터 인공지능을 연구하는 사람들은 컴퓨터의 처리속도가 빨라지면 인간의 두뇌와 비슷한 능력을 지닌 인공지능을 개발할 수 있으리라고 믿어 왔다. 그러나 컴퓨터의 처리속도는 수년 전에 비해 기하학적으로 빨라졌지만 인공지능의 발달은 그렇지 못했다. 기존의 컴퓨터에서 처리하는 방식으로는 인간의 두뇌와 비슷한 인공지능을 개발하기란 어렵다는 생각을 하게 되었고, 그래서 인간의 신경구조가 처리하는 방식에 대한 연구가 더욱 더 활발하게 되면서 1980년 대 후반에 신경회로망은 르네상스 시대를 맞았다. 그 후로 너무 큰 기대에 비해서 신경회로망은 소강 상태를 맞게 되는 데, 그것은 뇌와 뉴런의 구조에 대한 많은 연구가 진행되고 있지만 아직도 모르는 것이 너무 많기 때문이라 믿어진다.(최영민 등,1990)

인간의 뇌는 기본적으로 주어진 문제의 처리 속도가 빠르며 약간의 외란이 있어도 일관성 있는 결과를 얻을 수 있고, 변화하는 상황에 적응성이 매우 좋다는 장점을 가지고 있다.

컴퓨터와 뇌를 비교해보면 기본적으로 정보처리의 방식이 전혀 다르다. 컴퓨터는 주어진 프로그램에 따라서 한번에 하나의 명령을 처리하는 직렬처리 방식인 반면, 뇌는 수많은 뉴런(neuron)들이 모여서 병렬처리를 한다. 신경회로망은 이러한 인체 신경망을 모방한 것으로 신경회로망 구현 기술에 대한 기대가 모아지고 있다.

신경회로망을 구현하는 방법으로는 기존의 컴퓨터에서 시뮬레이션을 통한 소프트웨어로 구현하는 방법과 하드웨어로 구현하는 방법이 있다. 기존의 컴퓨터에서 시뮬레이션을 이용하여 신경회로망을 구현하는 것은 손쉽게 접근이 가능한 방법이지만, 기존의 컴퓨터에서 신경회로망의 구조와 기능을 구현하기란 쉬운 일이 아니다. 기존 컴퓨터의 처리방식은 직렬처리 방식이므로, 신경회로망의 병렬처리를 모방하기 위해서 처리구간의 동기화 등 어려운 점이 많다.

이러한 문제는 신경회로망을 하드웨어로 구현함으로써 해결할 수 있다. 신경회로망의 하드웨어 구현 방법에는 뉴로 컴퓨터(neuro computer)와 신경회로망 칩(chip)등이 있다. 뉴로 컴퓨터는 신경회로망 칩과 보드(board) 또는 시스템으로 구성되며 다양한 신경회로망 모델을 이용할 수 있도록 신경회로망의 병렬

성을 최대한 이용한 것이다. 신경회로망의 하드웨어 구현에서는 더 많은 신경 세포, 더 많은 신경세포간의 연결강도(synapse), 더 빠른 속도를 더 작은 공간 내에 구현하는 것을 목표로 한다.(이훈복 등, 1992)

신경회로망을 구현한 네트워크는 기본적으로 신경회로망에서 이루어지는 연산, 즉 곱셈과 덧셈 기능 그리고 시그모이드(sigmoid) 함수를 나타내는 기능을 가지고 있어야 한다. 즉, 곱셈기, 덧셈기 그리고 이를 전달받아 비선형(non-linear)함수로 출력하는 회로가 필요하다.(Zurada, J. M.등, 1989) 이를 위하여 지금까지 여러 가지 방법이 제시되었으나 보통 아날로그 신경회로망 회로에서는 시냅스(synapse) 회로로 전압신호를 받아 전류신호로 출력하는 곱셈기를, 뉴런 회로로는 연산증폭기, 차동증폭기, 또는 MOS 인버터가 주로 쓰이고 있다.

본 논문의 II장에서는 아날로그 신경회로망의 구조에 대해 알아보는 데, 시냅스의 구현을 위해 사용되는 CMOS(complementary metal oxide semiconductor) 아날로그 곱셈기와 뉴런회로로 주로 사용되는 CMOS 인버터 회로에 대해 설명한다. III장에서는 CMOS 인버터회로를 이용하여 뉴런 특성곡선의 기울기를 변경할 수 있고, 또한 뉴런의 특성곡선을 x축, y축으로 이동할 수 있는 방법을 제안한다.

트랜지스터들이 차단영역, 선형영역 및 포화영역에 있을 때 나타나는 조건을 분석하여, 뉴런 특성곡선의 기울기는 문턱전압의 함수임을 수식으로 전개하였다. 또한 특성곡선의 중심에서 두 트랜지스터가 모두 포화영역에 있다는 사실에 착안하여 x축으로 이동, y축으로 이동할 수 있는 방법을 제안하였다. IV장에서는 OrCAD사의 PSpice 9.0버전을 이용하여 III장에서 제안한 방법들을 시뮬레이션을 통해 그 결과를 확인하였고, V장에서 결론을 기술하였다.

II. 신경회로망의 구현

신경망을 구현하는 데에는 다양한 방법이 있으며, 손쉬운 방법은 컴퓨터 시뮬레이션을 통해 구현하는 것이다. 그러나, 실생활에 활용하고 가장 좋은 결과를 원한다면 신경망은 하드웨어로 구현되어야 한다. 그것은 아날로그, 디지털, 또는 그 복합형태를 사용하여 구현할 수 있다.(한일송, 1992) 디지털 형태로 구현된 신경망은 프로그램이 가능한 장점을 갖고 있어서 수시로 수정을 할 수 있다. 반면 아날로그 형태로 구현된 것은 한 번 구현되면 수정이 어렵다는 단점이 있으나, 보다 유사한 생물학적인 신경망 구현이 가능하므로 많은 기관에서 연구되어 지고 있다.

2.1 아날로그 신경망 회로

신경망의 기본 단위는 Fig. 1에서와 같이 프로세서 뉴런과 시냅스로 구성된다. 기능에 따라 뉴런과 뉴런을 연결하는 시냅스의 강도는 결정되어지며, 이들 시냅스를 통해 다른 뉴런의 신호가 전달되며, 전달된 신호의 크기에 따라 뉴런은 새로운 출력을 만들어 낸다.

뉴런의 출력특성곡선이나 신호들은 아날로그, 또는 디지털 값으로 표현할 수 있고 때로는 아날로그와 디지털의 조합형태로 표현할 수도 있다.

일반적인 컴퓨터를 이용하여 신경망을 시뮬레이션 한다면, 메모리에 저장된 시냅스의 강도들을 입력 값들과 곱한 후 이들 값들은 합산되어진다. 즉, 다음 식과 같이 직렬처리 계산과정을 통해 합산된 값을 구하게 된다.

$$\begin{aligned} net_i &\leftarrow 0 \\ net_i &= net_i + w_{ij}x_j, \quad \text{for } j=1 \text{ to } n \end{aligned} \tag{1}$$

이런 직렬처리 디지털 계산에서 주의할 점 중 첫째는 계산의 동기화이며, 둘째는 라운드오프 오차에 관한 것이다. 신경망이 어떤 특수한 기능을 갖도록 하려면 훈련(training)이라는 과정을 거쳐서 시냅스의 강도들을 조절해야 하는데, 이 과정에서 정확한 계산값들을 요구한다. 또한 계산의 동기 문제는 신경망의 여러 블록 중에서 어느 부분까지 포함시켜야 하는 가를 결정하는 문제가 된다. 그러므로 디지털 일반 컴퓨터로 생물학적인 뉴런의 처리 과정과 비슷하게 구현하기는 쉬운 일이 아니다.(Beale, R.등, 1990) 이에 비해서 아날로그 회

로 구현된 신경망에서는 동기문제와 라운드오프 에러에 대한 문제를 쉽게 해결할 수 있어, 실제 생물학적인 뉴런의 처리 과정에 보다 근사하다고 볼 수 있다.

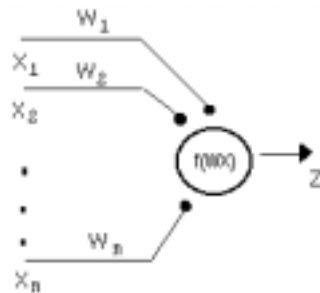


Fig. 1. Based structure of neural network.

아날로그 신경회로망을 구현하려면 기본적으로 신경회로망에서 이루어지는 연산, 즉 곱셈과 덧셈 기능 그리고 시그모이드 함수를 나타내는 기능을 가지고 있어야 한다. 즉, 곱셈기, 덧셈기, 그리고 이를 전달받아 비선형 함수로 출력하는 회로가 필요하다. 시냅스는 뉴런의 출력과 이웃 뉴런들의 입력을 연결하며, 시냅스의 강도에 따라 이웃 뉴런에 전달되는 전기적 신호가 달라진다. 시냅스 회로를 구현하기 위하여 다양한 아날로그 곱셈기들이 사용된다. 즉, 이들 아날로그 곱셈기들의 출력은 전류이며, 두 입력전압의 곱 형태로 표현된다. 아날로그 곱셈기에서 하나의 입력은 이웃 뉴런의 출력에 연결하고, 다른 하나는 시냅스의 강도를 제어하는 전압에 연결하게 된다. 아날로그 곱셈기의 출력으로 나오는 전류는 이웃 뉴런의 출력전압 값과 시냅스의 가중치의 곱에 비례하며, 뉴런의 입력으로 유입된다. 뉴런회로는 이웃 여러 뉴런에서 전달되어 들어온 전류들을 합산하여 전압형태로 출력해야 하는 데, 이를 위한 회로로는 연산증폭기, 차동증폭기 또는 MOS 인버터가 주로 쓰이고 있다. 차동증폭기나 MOS 인버터를 사용할 경우에는 이들 입력으로 전압을 사용해야 하므로 A/D 컨버터를 추가로 사용해야 한다. 가장 간단히 구현할 수 있는 방법은 연산증폭기를 사용하는 것이다.

이 절에서는 단순 저항과 연산증폭기를 이용하여 간단히 신경망을 구현하는 방법을 소개 하고자 한다. 일반적인 연산증폭기 뉴런의 기능을 다음과 같이 구현할 수 있다.(고경희 등,1996)

$$f(x) = f\left(\sum_{j=0}^n w_j x_j\right) \quad (2)$$

식(2)를 수행할 수 있는 간단한 아날로그 회로는 Fig. 2에 보여주고 있다. 뉴런

은 무한대의 이득을 갖는 연산증폭기를 사용하고, 시냅스는 컨덕턴스 G_j 를 사용하여 시냅스 w_j 의 값에 비례하여 구현한다. 이 회로에서 피드백 저항 R_f 는 모든 시냅스 값에 공통인자로 작용한다.

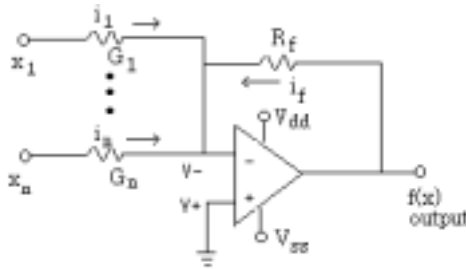


Fig. 2. Analog neural network circuit.

Fig. 2의 회로에서 입력노드에 KCL(Kirchhoff's current law)을 적용하면 다음과 같은 방정식을 유도할 수 있다.

$$i_1 + i_2 + \dots + i_n = -i_f \quad (3)$$

이 식을 재정리하면

$$(x_1 - v_-)G_1 + (x_2 - v_-)G_2 + \dots + (x_n - v_-)G_n = (v_- - f) \frac{1}{R_f} \quad (4)$$

v_- 는 가상접지라고 가정하고, 뉴런의 출력 f 에 관해 정리하면

$$f(x) = \sum_{j=1}^n x_j (-R_f G_j) \quad (5)$$

여기서,

$$\sum_{j=1}^n x_j (-R_f G_j) \equiv net \quad (6)$$

로 정의하고,

식(2)와 식(6)을 비교해 보면 시냅스 강도는 다음과 같음을 알 수 있다.

$$w_j = -R_f G_j \quad (7)$$

따라서 뉴런의 전압특성곡선은 선형영역에서 기울기가 1인 직선으로 다음과

같이 작동하고 있음을 알 수 있다.

$$f(net) = \begin{cases} f_{sat-}, & \text{for } net < v_{sat-} \\ net & \text{for } v_{sat-} < net < v_{sat+} \\ f_{sat+}, & \text{for } net > v_{sat+} \end{cases} \quad (8)$$

즉, 단순 저항과 연산증폭기만을 이용하여 아날로그 신경망을 구현할 수 있다. 여기에서는 시냅스의 가중치가 음인 경우를 보여주고 있으나, 가중치가 양인 경우도 이 회로를 변경하여 구현이 가능하다.

2.2 CMOS 시냅스 회로

시냅스는 뉴런과 뉴런을 연결하는 것으로 그 연결강도에 따라 다른 뉴런에 전달되는 신호의 세기가 변하게 된다. 어떤 부위가 학습되어 지는 과정은 뉴런들을 연결하고 있는 시냅스의 연결강도들을 조절하면서 그 부위가 제대로 작동되도록 하는 것이다.

시냅스에서 이루어지는 연산은 가중치와 입력의 곱셈이며, 여기서 가중치가 전압에 의해 제어 가능한 것이라면 뉴런의 입력은 다음과 같다.(Khachab 등, 1989)

$$net = \sum_{i=0}^n w_i(v_{ci})x_i \quad (9)$$

여기서, 가중치(w_i)가 조절전압(v_{ci})에 선형적으로 비례한다면 식(9)는 다음과 같이 정리할 수 있다.

$$net = c_i \sum_{i=0}^n v_{ci}x_i \quad (10)$$

그러므로 시냅스 회로는 입력과 가중치의 곱셈을 수행할 수 있는 아날로그 곱셈기가 필요하다.

NMOS(n-channel metal oxide semiconductor) 트랜지스터를 이용한 아날로그 곱셈기로 많이 사용되는 것들은 공핍모드와 증가모드가 있다. 이들은 주로 아날로그 곱셈을 수행하기 위해 공핍모드에서는 2개의 NMOS 트랜지스터를, 그리고 증가모드에서는 4개의 NMOS 트랜지스터를 병렬로 연결하여 하나의 쌍으로 사용한다.

반면에 최근에는 PMOS(p-channel metal oxidesemiconductor)와 NMOS를 한 조로 직렬연결을 하여 사용하는 CMOS 아날로그 곱셈기가 많이 사용되고 있는 데, 이 방법은 이 전에 것들에 비해 속도와 전력소비의 측면에서 장점을

찾고 있다.(Bernard C, 1997)

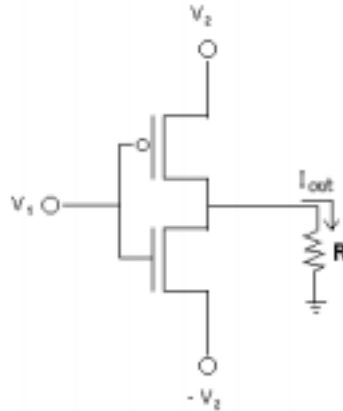


Fig. 3. CMOS analog multiplier circuits.

Fig. 3은 CMOS 아날로그 곱셈기의 구조를 보여주고 있으며, 이 회로에서 전압 V_1 은 n채널 트랜지스터와 p채널 트랜지스터의 게이트에 공통으로 인가된다. 전압 V_2 는 p채널 트랜지스터의 소스에 인가되며 V_2 의 부의 값을 가지는 $-V_2$ 는 n채널 트랜지스터의 소스에 인가된다. 이 때 곱셈기 회로는 2개의 입력전압 V_1, V_2 의 곱을 수행한다.(박성범 등,1992)

즉,

$$I_{out} = V_1 \times V_2 \quad (11)$$

이다.

곱셈기 회로의 출력은 전류로서 NMOS와 PMOS 트랜지스터에 흐르는 드레인 전류에 의하여 결정된다.

NMOS 트랜지스터의 드레인 전류는(이운현, 1981)

$$i) \text{ 차단영역 } I_d = 0 \quad (V_{gs} - V_t < 0) \quad (12)$$

$$ii) \text{ 선형영역 } I_d = K[(V_{gs} - V_t)V_{ds} - \frac{1}{2}V_{ds}^2] \quad (13)$$

$$(0 < V_{ds} < V_{gs} - V_t, V_{gs} - V_t > 0)$$

$$iii) \text{ 포화영역 } I_d = \frac{K}{2}(V_{gs} - V_t)^2 \quad (0 < V_{gs} - V_t < V_{ds}) \quad (14)$$

으로 나타난다.

여기서 V_{gs} : 게이트와 소스간 전압

V_t : 문턱 전압

V_{ds} : 드레인과 소스간 전압

K : 이득상수 ($= \mu C_{ox} \frac{W}{L}$)

μ : 다수 캐리어 이동도

C_{ox} : 단위 면적당 게이트 용량

W : 채널폭

L : 채널길이

두 MOS 트랜지스터가 모두 선형영역에서 트랜지스터에 흐르는 전류는 각각

$$I_{dp} = -K_p [(V_1 - V_2 - V_{tp})(V_o - V_2) - \frac{1}{2}(V_o - V_2)^2] \quad (15)$$

$$I_{dn} = K_n [(V_1 + V_2 - V_{tn})(V_o + V_2) - \frac{1}{2}(V_o + V_2)^2] \quad (16)$$

이 된다. 이 때 출력 전류

$$I_o = I_{dp} - I_{dn} \quad (17)$$

이므로, $K_n = K_p = K$ 라고 가정하고 식(15)와 식(16)을 식(17)에 대입하여 정리하면

$$I_o = -2K(V_1 V_2 - V_t V_o) \quad (18)$$

가 되며 $V_o = I_o \times R$ 이므로 정리하면

$$I_o = -\frac{2K}{(1 + 2KV_t R)} V_1 V_2 \quad (19)$$

가 된다.

2.3 CMOS 인버터를 기본으로 한 뉴런

뉴런을 구성하는 방법들의 대부분은 연산증폭기를 이용하는 방법이다. 연산기로 유입되는 전류들은 합산되어지고 또한 그 전류들은 전압으로 변환되고 그리고 비선형으로 매핑되어 출력된다. 그러나, 연산증폭기를 이용한 뉴런들은 다음과 같은 제한된 형태를 갖게 되는 데, (1) 선형이고, (2) 이득률 또한 원점 주위에서 결정된 특성곡선의 기울기에 의해 결정되며, (3) 선형을 벗어난 영역은 포화된 값으로 된다. 요약한다면 특성곡선은 선형이거나, 구간 선형이 된다.(Shoemaker, P.)

그러나 많은 응용회로에서 시그모이드 형태의 뉴런 특성곡선을 요구하는 경우가 있다. 여기서 “시그모이드”라 함은 영문자 S 형태의 완만한 곡선을 뜻한다. 이러한 특성곡선은 간단한 푸시풀 증폭기를 이용하여 얻을 수 있으며, 이런 회로는 논리회로에서 전압 인버터로 이용되고 있다.

CMOS 인버터 회로는 Fig. 4에서 알 수 있듯이 NMOS와 PMOS 트랜지스터로 구성되어지며 트랜지스터들의 드레인을 공통으로 묶고, 또한 이 곳을 출력으로 한다. 게이트들은 또한 공통으로 묶어서 입력으로 하고 소스들은 외부 공급전원 V_{dd} 와 V_{ss} 에 연결되어 있는 데, 여기서 $V_{dd} = -V_{ss}$ 이다.

MOS 트랜지스터는 차단영역, 선형영역, 또는 포화영역 즉, 3개의 영역에 머물게 된다. 따라서 두 트랜지스터는 3개의 다른 영역의 조합은 9개가 되나, 실제로는 5개의 다른 조건만 유용하다.(Motoi INABA 등, 2002)



Fig. 4. Inverter based neuron.

우선 V_{in} 이 아주 작은 값으로 시작한다면, 즉, $V_{in} - V_{ss} < V_{tn}$ 이면 NMOS 트랜지스터는 차단영역, 그리고 PMOS 트랜지스터는 선형영역이 되어서 출력

V_{out} 은 V_{dd} 가 된다.

V_{in} 이 증가하여 즉, 다음과 같은 조건이 되면,

$$V_{in} - V_{ss} > V_{tn} \quad (20)$$

NMOS 트랜지스터는 도통하게 된다. NMOS 트랜지스터가 선형영역에 있는지, 또는 포화영역에 있는지를 알기 위해서는 V_{ds} 와 $(V_{gs} - V_{tn})$ 을 비교해 봐야 되는 데, 즉 선형영역에 있을 조건은 식(13)에 의해 다음과 같이 표현할 수 있다.

$$V_{out} - V_{ss} < V_{in} - V_{ss} - V_{tn} \quad (21)$$

그러므로 위 식은 입력과 출력의 관계식으로 다음과 같이 재정리 된다.

$$V_{out} < V_{in} - V_{tn} \quad (22)$$

그리고 포화영역에 있을 조건은 다음과 같다.

$$V_{out} > V_{in} - V_{tn} \quad (23)$$

또한 PMOS 트랜지스터도 V_{in} 이 아주 큰 값에 도달하기까지는 도통하게 되며, PMOS 트랜지스터가 어떤 영역에 있는지를 알기 위하여 위에서 같은 방법을 이용하면, PMOS 트랜지스터가 선형 영역에 있을 조건은 다음과 같으며

$$V_{ds} > V_{gs} - V_{tp} \quad (24)$$

즉,

$$V_{out} - V_{dd} > V_{in} - V_{dd} - V_{tp} \quad (25)$$

위 식을 정리하면 입력과 출력의 관계식으로 다음과 같이 표현된다.

$$V_{out} > V_{in} - V_{tp} \quad (26)$$

그리고 포화영역에 있을 조건은 위 식에서 부등호가 반대이다

Fig. 5는 위에서 설명한 영역의 조건에 따라 CMOS 인버터를 이용한 뉴런의 특성곡선을 그린 것이며, Table 1은 두 트랜지스터의 동작 영역을 보여주고 있다. Fig. 5에서 알 수 있듯이 영역 AB와 EF는 NMOS 트랜지스터와 PMOS 트랜지스터가 각각 차단 영역에 있으므로 출력은 V_{dd} 와 $-V_{dd}$ 이다. 영역 BC 와 DE에서 하나의 트랜지스터는 선형 영역이며 다른 하나는 포화 영역에 머물고 있음을 알 수 있다. 그리고 영역 CD에서는 트랜지스터 모두가 포화 영역에 머물고 있다.(Allen, P.E. 등, 1987)

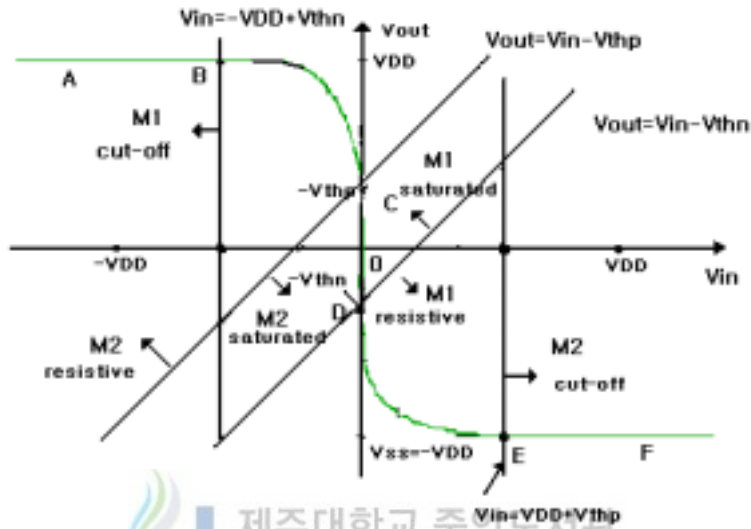


Fig. 5. CMOS neuron voltage transfer characteristics.

Table 1. Transistor operating region

Region	M1	M2
AB	Cut-off	Resistive
BC	Saturated	Resistive
CD	Saturated	Saturated
DE	Resistive	Saturated
EF	Resistive	Cut-off

III. CMOS 뉴런의 특성곡선

신경망의 활용회로에 따라 다양한 형태의 뉴런 특성곡선이 쓰인다. 주로 사용되는 형태들을 보면, 단극성 특성곡선, 양극성 특성곡선, 다극성 특성곡선 및 문턱전압이 있는 특성곡선 등이다. 그리고 때에 따라서는 다양한 기울기의 특성곡선을 필요로 하는 경우도 자주 발생하게 된다. 필요에 따라 뉴런의 출력특성곡선을 변경하는 것은 컴퓨터 시뮬레이션으로 신경망을 구현할 때는 전혀 문제가 되지 않으나, 하드웨어로 구현함에 있어서는 쉬운 일이 아니다.(Amit K Gupta 등, 1999) 따라서 본 논문에서는 CMOS 인버터를 기본으로 한 뉴런에서 특성곡선의 기울기를 변경하고, x축으로 이동함으로써 문턱전압을 갖는 특성곡선을 만들 수 있고, 또한 y축으로 이동하여 단극성, 양극성 특성곡선을 만들 수 있는 방법을 제안하였다.

3.1 특성곡선의 기울기

Fig. 5에서 영역 BC는 PMOS 트랜지스터가 선형영역에 있고, NMOS 트랜지스터는 포화영역에 있는 구간의 곡선이다. 이 때 $k_n = k_p$ 라고 하면, 채널에 흐르는 전류들은 식(13)과 식(14)와 같으며, 이 두 전류는 방향만 다르게 크기는 같으므로

$$\frac{k}{2} (V_{gsn} - V_{tn})^2 = k[(V_{gsp} - V_{tp})V_{dsp} - \frac{V_{dsp}^2}{2}] \quad (27)$$

만약 $V_{tn} = -V_{tp}$ 이라면

$$\frac{1}{2} (V_{in} + V_{dd} - V_{tn})^2 = [(V_{in} - V_{dd} + V_{tn})(V_{out} - V_{dd}) - \frac{(V_{out} - V_{dd})^2}{2}] \quad (28)$$

위 식을 V_{out} 에 대해 정리하면

$$V_{out}^2 - 2(V_{in} + V_{tn})V_{out} + (V_{in} - V_{tn})^2 + 4V_{in}V_{dd} = 0 \quad (29)$$

그러므로

$$V_{out} = V_{in} + V_{tn} \pm 2\sqrt{V_{in}(V_{tn} - V_{dd})} \quad (30)$$

식(30)은 영역 BC에서 두개의 출력곡선을 의미하나 실제로 나타나는 현상은 시뮬레이션을 통해서 조사해보면 다음과 같은 하나의 곡선만이 나타난다.

$$V_{out} = V_{in} + V_{tn} + 2\sqrt{V_{in}(V_{tn} - V_{dd})} \quad (31)$$

영역 CD에서는 PMOS 및 NMOS 트랜지스터 모두 포화영역에 있으므로 채널에 흐르는 전류들은 식(14)와 같고, 이 둘 전류는 방향만 다르고 크기는 같으므로

$$\frac{k}{2}(V_{gsn} - V_{tn})^2 = \frac{k}{2}(V_{gsp} - V_{tp})^2 \quad (32)$$

만약 $V_{tn} = -V_{tp}$ 이라면

$$(V_{in} + V_{dd} - V_{tn})^2 = (V_{in} - V_{dd} + V_{tn})^2 \quad (33)$$

위 식을 V_{in} 에 대해 정리하면

$$4V_{in}(V_{dd} - V_{tn}) = 0 \quad (34)$$

따라서

$$V_{in} = 0, \text{ 또는 } V_{dd} - V_{tn} = 0 \quad (35)$$

영역 DE에서 PMOS 트랜지스터는 포화영역, 그리고 NMOS 트랜지스터는 선형영역에 있으므로 채널에 흐르는 전류들은 식(13)과 식(14)와 같고, 이 두 전류는 크기가 같아야 하므로

$$\frac{k}{2}(V_{gsp} - V_{tp})^2 = k[(V_{gsn} - V_{tn})V_{dsn} - \frac{V_{dsn}^2}{2}] \quad (36)$$

만약 $V_{tn} = -V_{tp}$ 이라면

$$\frac{1}{2}(V_{in} - V_{dd} + V_{tn})^2 = [(V_{in} + V_{dd} - V_{tn})(V_{out} + V_{dd}) - \frac{(V_{out} + V_{dd})^2}{2}] \quad (37)$$

위 식을 V_{out} 에 대해 정리하면

$$V_{out}^2 - 2(V_{in} - V_{tn})V_{out} + (V_{in} + V_{tn})^2 - 4V_{in}V_{dd} = 0 \quad (38)$$

식(38) 또한 식(30)과 같이 두 개의 근을 갖고 있으나, 실제 현상으로 나타나는 곡선은 2개의 근 중에서 음의 부분만이 나타나며, 그 식은 다음과 같다

$$V_{out} = V_{in} - V_{tn} - 2\sqrt{V_{in}(V_{dd} - V_{tn})} \quad (39)$$

식(31)과 식(39)에서 알 수 있듯이 전압의 특성곡선은 V_{dd} , V_{in} 그리고 V_{tn} 의 함수이다. 여기서 V_{dd} 와 V_{in} 은 응용회로에 따라 결정되는 변수이므로 특성곡선의 기울기는 문턱전압의 함수임을 알 수 있다.

3.2 특성곡선의 x축으로 이동

원점에 대칭인 특성곡선은 뉴런이 작동하는 문턱전압이 영임을 뜻하므로, 이 문턱전압이 영이 아닌 곳에서 작동하는 뉴런을 원한다면 특성곡선을 x축으로 이동하면 된다. 본 논문에서는 특성곡선을 x축으로 이동시키기 위하여 두 트랜지스터 모두 포화영역인 Fig. 5에서 영역CD 부분을 x축으로 이동시키는 방법을 사용하였다.



(1) k_n , k_p 에 의한 x축으로 이동

영역 CD에서는 PMOS 및 NMOS 트랜지스터 모두 포화영역에 있으므로 채널에 흐르는 전류들은 식(14)에 의해 구할 수 있으며, 이 두 전류는 방향만 다르고 크기는 같으므로

$$\frac{k_n}{2}(V_{gsn} - V_{tn})^2 = \frac{k_p}{2}(V_{gsp} - V_{tp})^2 \quad (40)$$

만약 $V_{tn} = -V_{tp}$ 이며 $k_n \neq k_p$ 일 때, 입력전압 V_{in} 에 대해 정리하면

$$(k_n - k_p)V_{in}^2 + 2(K_n + K_p)(V_{dd} - V_{tn})V_{in} + (K_n - K_p)(V_{dd}^2 + V_{tn}^2 - 2V_{dd}V_{tn}) = 0 \quad (41)$$

그러므로 V_{in} 은 다음과 같다.

$$V_{in} = \frac{(k_n + k_p)(V_{tn} - V_{dd}) \pm \sqrt{4k_n k_p (V_{tn} - V_{dd})^2}}{k_n - k_p} \quad (42)$$

식(42)에서 알 수 있듯이 입력전압은 두 개의 근을 갖고 있으나, 시뮬레이션을 통해서 조사해보면 다음과 같은 하나의 근만을 갖고 있음을 알 수 있다.

$$V_{in} = \frac{(V_{tn} - V_{dd})(\sqrt{k_n} + \sqrt{k_p})^2}{k_n - k_p} \quad (43)$$

따라서 두 개의 트랜지스터가 모두 포화영역에서 동작하는 입력전압은 k_n 과 k_p 의 함수임을 알 수 있으며, k_n 과 k_p 의 값을 조절하여 특성곡선을 x축으로 이동할 수 있다.

(2) V_{tn} , V_{tp} 에 의한 x축으로 이동

만약 $k_n = k_p$ 이며 $V_{tn} \neq -V_{tp}$ 라면, 식(40)은 다음과 같이 정리할 수 있으며

$$(V_{in} + V_{dd} - V_{tn})^2 = (V_{in} - V_{dd} - V_{tp})^2 \quad (44)$$

위 식을 V_{in} 에 대해 정리하면 다음과 같고,

$$(4V_{dd} - 2V_{tn} + 2V_{tp})V_{in} = 2(V_{tn} + V_{tp})V_{dd} + V_{tp}^2 - V_{tn}^2 \quad (45)$$

그러므로 다음의 식에서 알 수 있듯이 두 트랜지스터가 모두 포화영역에서 동작하는 입력전압 역시 V_{tn} 과 V_{tp} 의 함수임을 알 수 있다.

$$V_{in} = \frac{(V_{tn} + V_{tp})(2V_{dd} + V_{tp} - V_{tn})}{4V_{dd} - 2V_{tn} + 2V_{tp}} \quad (46)$$

3.3 특성곡선의 y축으로 이동

응용회로에 따라 단극성, 양극성, 또는 양극성 이상의 다극성인 뉴런 특성곡선을 요구하는 경우가 많이 발생한다. CMOS 인버터를 이용한 뉴런은 $-V_{dd}$ 에서 V_{dd} 로 변하는 양극성 특성곡선이다. 본 논문에서는 단극성 특성곡선을 구할 수 있는 방법을 제안한다. 즉, 이 방법을 이용하면 V_{dd} 에서 0으로 변하는 특성곡선과 0에서 V_{dd} 로 변하는 단극성 특성곡선을 구할 수 있다.

(1) V_{dd} 에서 0으로 변하는 특성곡선

V_{dd} 에서 0으로 변하는 특성곡선이라 함은 뉴런의 출력이 V_{dd} 와 0사이의 값이어야 하며, 또한 출력곡선이 좌표($0, \frac{V_{dd}}{2}$)에 점대칭이어야 한다. 출력을 V_{dd} 와 0사이의 값으로 한다는 것은 CMOS 인버터회로 그 자체이므로, CMOS 뉴런회로에서 V_{ss} 에 $-V_{dd}$ 를 인가하는 대신 접지시키면 뉴런의 출력은 V_{dd} 와 0사이의 값이 되는 CMOS 인버터회로가 된다. 그러나, CMOS 인버터회로의 이상적인 출력 특성곡선은 좌표($\frac{V_{dd}}{2}, \frac{V_{dd}}{2}$)에 점대칭이다. 본 논문에서는 CMOS 인버터의 특성곡선에서 점대칭이 되는 영역은 두 트랜지스터가 모두 포화영역에 있음에 착안하여 좌표($0, \frac{V_{dd}}{2}$)에서 대칭이 되는 특성곡선을 만들었다.

두 트랜지스터 모두 포화영역에 있으면 식(14)에 의해 두 채널에 흐르는 전류는 같으므로 다음과 같이 재정리할 수 있다.

$$k_n(V_{in} - V_{tn})^2 = k_p(V_{in} - V_{dd} - V_{tp})^2 \quad (47)$$

좌표($0, \frac{V_{dd}}{2}$)에서 점대칭이 되고, 입력전압 0에서 두 트랜지스터 모두 포화영역이 되려면 식(47)은 다음과 같이 된다.

$$k_n(-V_{tn})^2 = k_p(-V_{dd} - V_{tp})^2 \quad (48)$$

식(48)을 간단히 해석하기 위하여 $k_n = k_p$ 인 경우와 $k_n \neq k_p$ 인 경우로 나누어서 고려한다.

(i) $k_n = k_p$ 인 경우

두 트랜지스터의 이득상수가 같은 경우에 식(48)은 다음과 같이 정리된다.

$$V_{tn}^2 = (V_{dd} + V_{tp})^2 \quad (49)$$

$$V_{tn} = \pm(V_{dd} + V_{tp}) \quad (50)$$

그러나, Fig. 5를 참조하면 V_{tn} 과 V_{tp} 는 모두 음의 값이어야 하므로

$$V_{tn} = -(V_{dd} + V_{tp}) \quad (51)$$

(ii) $k_n \neq k_p$ 인 경우

두 트랜지스터의 이득상수가 다를 경우 식(48)에서 NMOS의 이득상수에 관해 정리하면 다음과 같이 된다.

$$k_n = k_p \left(\frac{V_{dd} + V_{tp}}{V_{tn}} \right)^2 \quad (52)$$

출력값은 응용회로에 따라 결정되는 것이므로 이 경우는 두 문턱전압 (V_{tn}, V_{tp})과 PMOS의 이득상수가 결정되면 NMOS의 이득상수를 결정하여 좌표($0, \frac{V_{dd}}{2}$)에 접대칭인 뉴런의 출력곡선을 얻을 수 있다.

(2) 0 에서 $-V_{dd}$ 로 변하는 특성곡선

CMOS 인버터에서 V_{dd} 를 접지시키고, V_{ss} 에 $-V_{dd}$ 를 인가하면 출력은 0에서 $-V_{dd}$ 사이의 값을 갖는다. 위와 같은 방법으로 좌표($0, -\frac{V_{dd}}{2}$)에서 접대

칭이 되는 특성곡선을 만들기 위하여 좌표($0, -\frac{V_{dd}}{2}$)에서 두 트랜지스터 모두 포화영역이 되도록 변수들을 조절해야 한다. 입력전압이 0에서 두 트랜지스터가 모두 포화영역에 있어야 하므로 식(40)에 의해 다음과 같이 재정리할 수 있다.

$$k_n(-V_{tn} + V_{dd})^2 = k_p(-V_{tp})^2 \quad (53)$$

여기에서도 마찬가지로 문제를 간단히 해석하기 위하여 이득상수가 같을 경우와 다를 경우로 나누어서 고려하였다.

(i) $k_n = k_p$ 인 경우

두 트랜지스터의 이득상수가 같을 경우 식(53)은 다음과 같고,

$$(-V_{tn} + V_{dd})^2 = (-V_{tp})^2 \quad (54)$$

PMOS 트랜지스터의 문턱전압에 대해 정리하면 다음과 같다.

$$V_{tp} = \pm(-V_{tn} + V_{dd}) \quad (55)$$

그러나, Fig. 5를 참조하면 V_{tn} 과 V_{tp} 는 모두 양의 값이어야 하므로

$$V_{tp} = V_{dd} - V_{tn} \quad (56)$$

(ii) $k_n \neq k_p$ 인 경우

두 트랜지스터의 이득상수가 다를 경우에 식(53)은 PMOS 트랜지스터의 이득상수에 관해 정리하면 다음과 같다.

$$k_p = k_n \left(\frac{V_{dd} - V_{tn}}{V_{tp}} \right)^2 \quad (57)$$

역시, 두 트랜지스터의 문턱전압과 NMOS 트랜지스터의 이득상수가 결정되면 PMOS의 이득상수를 조절하여 좌표($0, -\frac{V_{dd}}{2}$)에 점대칭인 특성곡선을 얻을 수 있다.

IV. PSpice 시뮬레이션 및 고찰

뉴런의 출력특성곡선에 대한 시뮬레이션은 OrCAD사의 PSpice 9.0 버전을 사용하였으며, 시뮬레이션의 결과들은 앞장에서 구한 해석적인 결과와 거의 일치함을 알 수 있었다. 즉, 다양한 기울기를 갖는 뉴런의 출력특성곡선은 두 트랜지스터의 문턱전압을 변경하여 얻을 수 있었고, x축과 y축으로의 이동은 두 트랜지스터의 문턱전압과 이득상수를 조절하여 가능하였다.

입력전압 0에서 앞장의 양극성 뉴런특성곡선은 $-V_{tp}$ 에서 V_{tn} 으로 변하는 출력이었으나, PSpice 시뮬레이션에서는 출력이 0임을 알 수 있다. 이처럼 이론과 PSpice 시뮬레이션 결과는 약간의 차이를 보이고 있는데, 이는 채널길이 변조효과 $\lambda=0$ 으로 가정하였으나 실제로는 $\lambda \neq 0$ 이기 때문이다.

4.1 특성곡선의 기울기

Fig. 6은 CMOS 뉴런회로의 PSpice schematic 회로를 보여주고 있으며, $V_2=5V$, 그리고 $V_3=-5V$ 를 인가하고, V_1 은 $-5V$ 에서 $5V$ 까지 DC Sweep를 수행하였다.

Fig. 7, 8, 9 등은 $k_n = k_p = 10.53\mu$ 일 때, 문턱전압($V_{tn} = -V_{tp}$)이 1V, 2V, 3V일 때 PSpice 시뮬레이션 결과를 각각 보여주고 있다. 이 그림에서 알 수 있듯이 문턱전압이 증가함에 따라 전압특성곡선의 기울기는 증가함을 보여주고 있다.

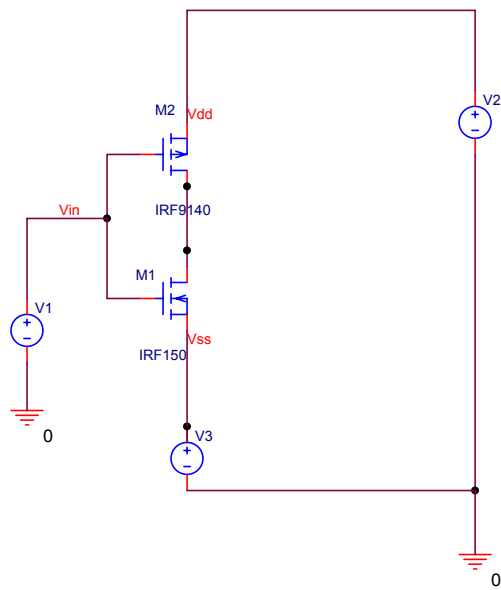


Fig. 6. CMOS neuron PSpice schematic diagram.

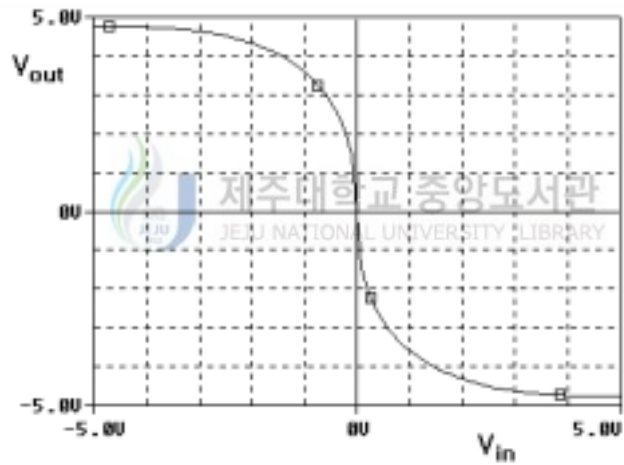


Fig. 7. CMOS neuron voltage transfer characteristics.

$$(k_n = k_p = 10.53\mu, V_{tn} = -V_{tp} = 1V)$$

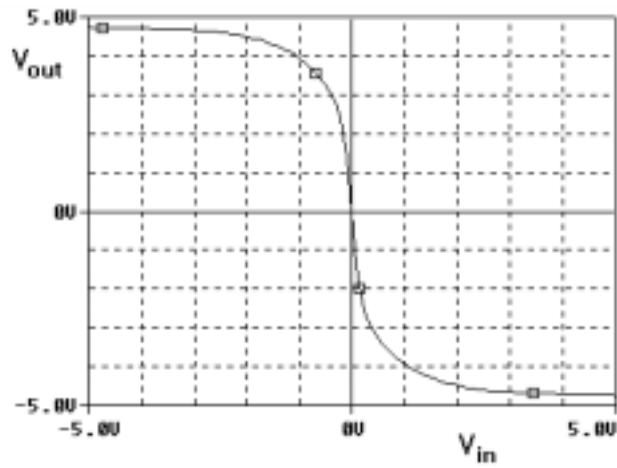


Fig. 8. CMOS neuron voltage transfer characteristics.

$$(k_n = k_p = 10.53u, V_{in} = -V_{tp} = 2V)$$

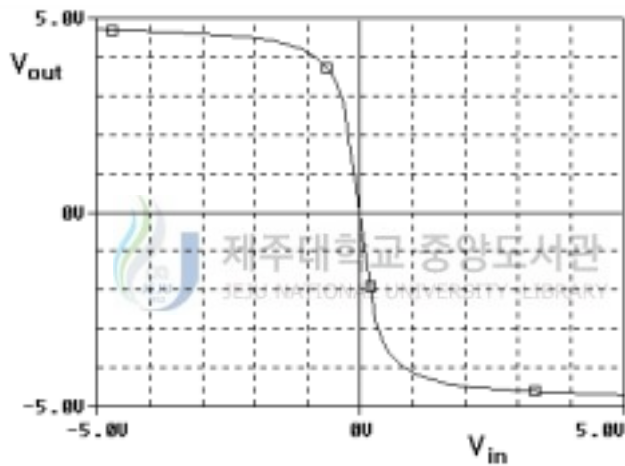


Fig. 9. CMOS neuron voltage transfer characteristics.

$$(k_n = k_p = 10.53u, V_{in} = -V_{tp} = 3V)$$

4.2 특성곡선의 x축으로 이동

III장에서 제시하였듯이 x축으로 이동된 특성곡선은 이득상수(k_p, k_n)와 문턱 전압(v_{tn}, v_{tp})를 변경하여 얻을 수 있음을 알고 있다. 함수를 간략하게 전개하기 위하여 $k_p = k_n$ 인 경우와 $V_{in} = -V_{tp}$ 경우로 나누어서 다루었는데, 우선

문턱전압이 $V_{tn} = -V_{tp}$ 인 경우부터 고려해보자.

(1) $V_{tn} = -V_{tp}$ 인 경우 이득상수 (k_p, k_n)에 의한 방법

Fig. 10은 특성곡선이 약 0.6V 정도 x축으로 이동된 경우를 보여주고 있다. NMOS와 PMOS의 이득상수 k_n 과 k_p 는 각각 $4u$ 와 $9u$ 이며, 문턱전압은 $V_{tn} = -V_{tp} = 2V$ 를 선택하고 식(43)에 대입하면, 두 트랜지스터가 모두 포화영역에서 동작하는 입력전압은 0.6V임을 알 수 있다.

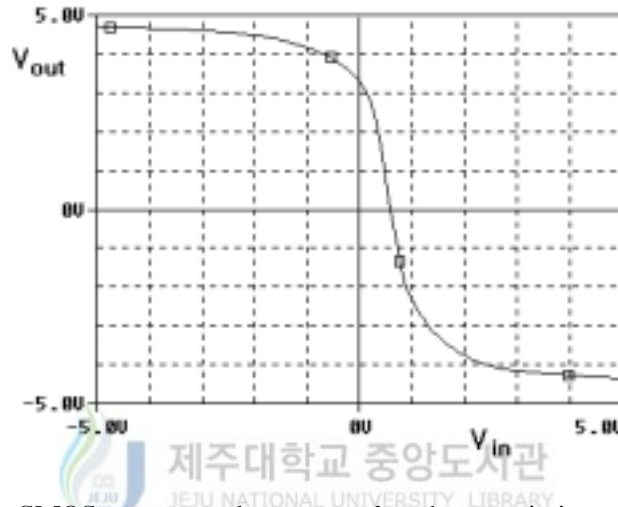


Fig. 10. CMOS neuron voltage transfer characteristics.

$$(k_n = 4u, k_p = 9u, V_{tn} = -V_{tp} = 2V)$$

Fig. 11은 $k_n = 9u, k_p = 4u, V_{tn} = -V_{tp} = 2V$ 를 선택하고 입력전압을 $-5V$ 에서 $5V$ 까지 DC Sweep을 수행한 것을 보여주고 있다. 식(43)에 대입하면 $-0.6V$ 에서 두 트랜지스터 모두 포화영역이 됨을 알 수 있는 데, 시뮬레이션에서도 이와 비슷한 곳에서 특성곡선이 x축을 지나고 있음을 보여주고 있다.

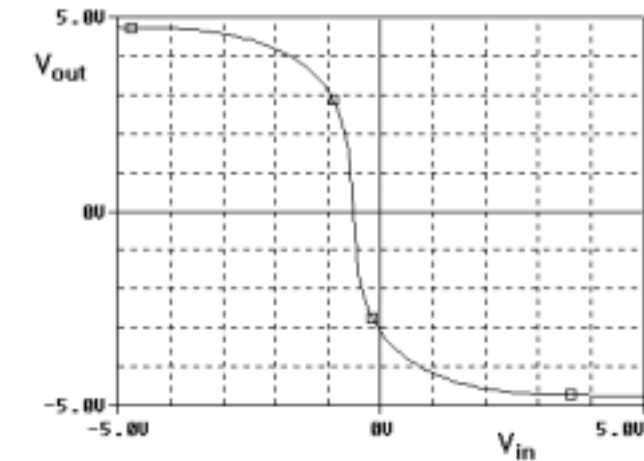


Fig. 11. CMOS neuron voltage transfer characteristics.

$$(k_n = 9\mu, k_p = 4\mu, V_{tn} = -V_{tp} = 2V)$$

(2) $k_p = k_n$ 인 경우 문턱전압(V_{tn}, V_{tp})에 의한 방법

식(46)의 분모와 분자의 두 번째 괄호의 값은 항상 양임을 알 수 있다. PMOS와 NMOS의 두 문턱전압은 어떤 형태로 결합하여도 인가전압의 두 배를 넘을 수 없다. 즉,

$$|V_{tn}| + |V_{tp}| < 2V_{dd} \quad (58)$$

그러므로 x축의 양방향 또는 음방향으로의 이동은 분자의 첫째 괄호 안의 값에 좌우됨을 알 수 있다. 즉 괄호 안의 값이 양이면 양방향으로 이동되고, 음수이면 음방향으로 이동됨을 알 수 있다.

Fig. 12는 이득상수가 $k_n = k_p = 10.53\mu$ 이고, 인가전압이 $V_{dd} = 5V$, 문턱전압이 $V_{tn} = 2V$ 및 $V_{tp} = -1V$ 인 경우의 시뮬레이션 결과를 보여주고 있는데, x축 양의 방향으로 $0.5V$ 이동함을 알 수 있다. 이는 식(46)의 해석적 결과와 일치함을 알 수 있다.

Fig. 13은 이득상수와 인가전압은 같고, 문턱전압을 $V_{tn} = 1V$ 및 $V_{tp} = -2V$ 로 변경하여 x축 방향으로 $-0.5V$ 이동함을 알 수 있다.

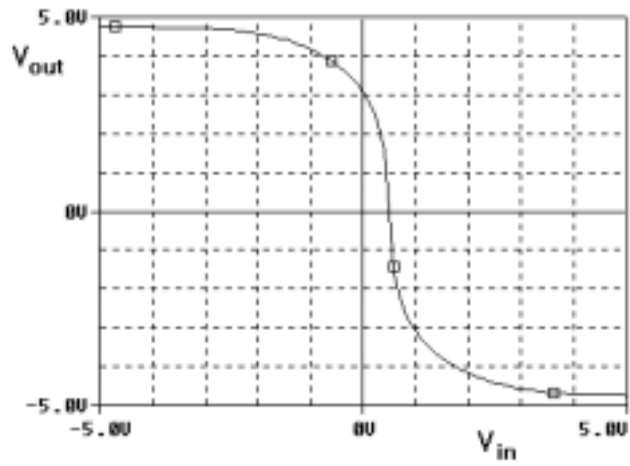


Fig. 12. CMOS neuron voltage transfer characteristics.
 $(k_n = k_p = 10.53\mu, V_{tn} = 2V, V_{tp} = -1V, V_{dd} = 5V)$

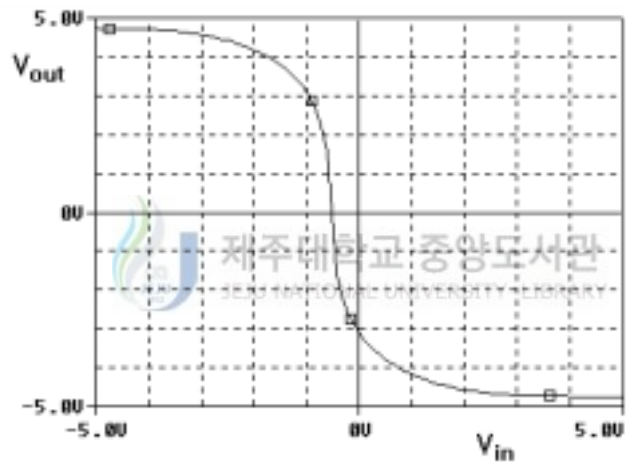


Fig. 13. CMOS neuron voltage transfer characteristics.
 $(k_n = k_p = 10.53\mu, V_{tn} = 1V, V_{tp} = -2V, V_{dd} = 5V)$

4.3 특성곡선의 y축으로 이동

(1) V_{dd} 에서 0으로 변하는 특성곡선

V_{dd} 에서 0으로 변하는 특성곡선을 만드는 방법에는 NMOS와 PMOS의 이득상수가 같은 경우와 다른 경우 두 가지 방법을 제안하였는데, 이득상수가 같은 경우 식(51)에 의하여 만약 V_{tp} 가 $-3V$ 이면 V_{tn} 은 $-2V$ 가 되는 데, Fig. 14는 이 경우의 시뮬레이션 결과를 보여 주고 있다.

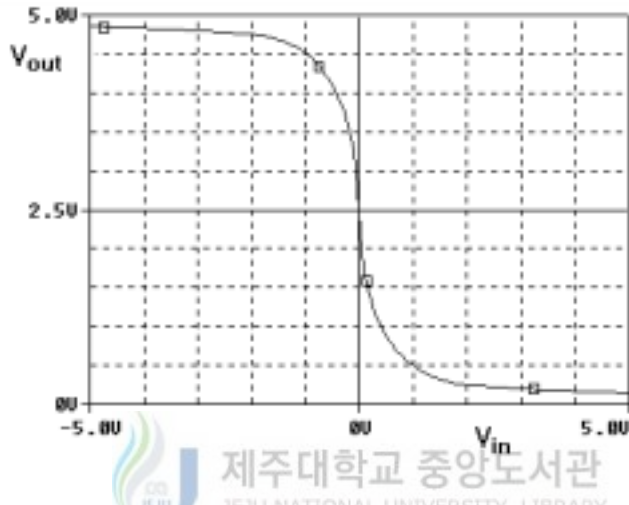


Fig. 14. CMOS neuron voltage transfer characteristics.

$$(k_n = k_p = 10.53\mu, V_{tn} = -2V, V_{tp} = -3V, V_{dd} = 5V, V_{ss} = 0V)$$

이득상수가 다른 경우, 임의로 NMOS와 PMOS의 문턱전압을 모두 $-2V$ 로 하면 식(52)에 의하여 NMOS의 이득상수는 PMOS 이득상수의 2.25배로 해야 하는데, Fig. 15는 전압 특성곡선이 원점에 대칭이면서 V_{dd} 에서 0으로 변하고 있음을 보여준다.

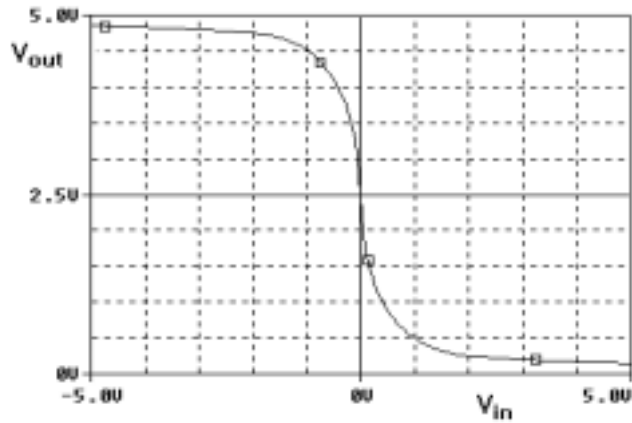


Fig. 15. CMOS neuron voltage transfer characteristics.

$$(k_n = 23.69\mu, k_p = 10.53\mu, V_{tn} = V_{tp} = -2V, V_{dd} = 5V, V_{ss} = 0V)$$

(2) 0에서 $-V_{dd}$ 로 변하는 특성곡선

V_{dd} 를 0V, V_{ss} 에 $-V_{dd}$ 를 인가하여 뉴런의 특성곡선을 0에서 $-V_{dd}$ 로 변하는 특성곡선을 얻는 데 역시, PMOS, NMOS의 이득상수가 같은 경우와 다른 경우 두 가지 방법을 제안하였는 데, 임의로 NMOS의 문턱전압을 2V로 하면 식(56)에 의하여 V_{dd} 가 5V이면 PMOS의 문턱전압은 3V가 된다.

Fig. 16은 이 경우의 시뮬레이션 결과를 보여주고 있다.

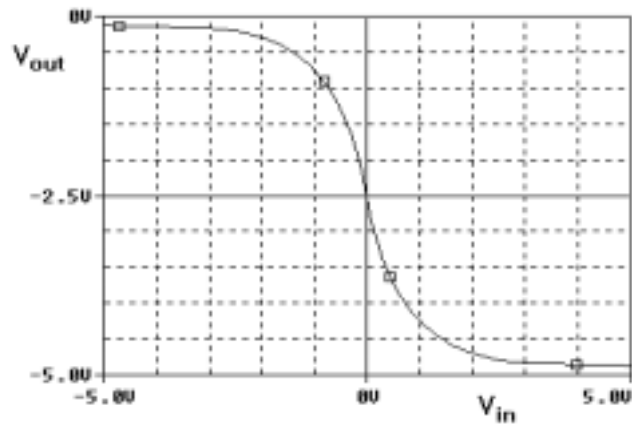


Fig. 16. CMOS neuron voltage transfer characteristics.

$$(k_n = k_p = 10.53\mu, V_{tn} = 2V, V_{tp} = 3V, V_{dd} = 0V, V_{ss} = -5V)$$

다음은 PMOS, NMOS의 이득상수가 다를 경우인 데, 임의로 NMOS와 PMOS의 문턱전압을 2V로 하면 식(57)에 의하여 PMOS의 이득상수는 NMOS 이득상수의 2.25배가 되며, Fig. 17은 이 경우에도 뉴런의 특성곡선은 0에서 $-V_{dd}$ 로 변하면서 원점을 지나고 있음을 보여주고 있다.

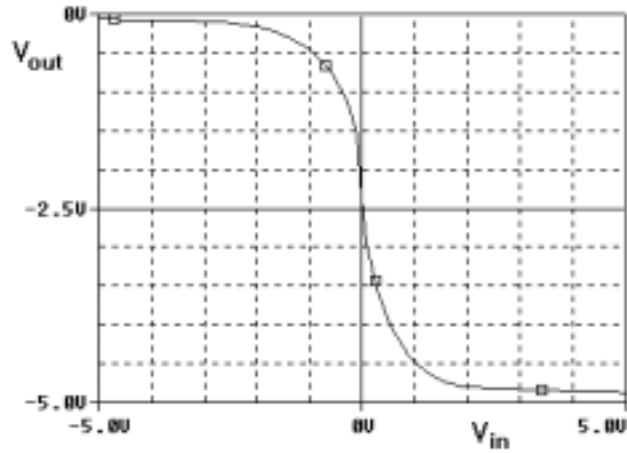


Fig. 17. CMOS neuron voltage transfer characteristics.

($k_n = 10.53\mu$, $k_p = 23.69\mu$, $V_{tn} = V_{tp} = 2V$, $V_{dd} = 0V$, $V_{ss} = -5V$)



V. 결론

아날로그 신경회로망을 구현하기 위해서는 뉴런회로와 뉴런을 연결하는 시냅스 회로가 필요하다. 아날로그 시냅스 회로의 구현을 위해서 다양한 아날로그 곱셈기가 사용되며, 뉴런의 구현을 위해서는 연산증폭기, 차동증폭기, 그리고 CMOS 인버터회로가 사용된다. CMOS 인버터를 이용한 뉴런은 시그모이드 형태의 출력특성곡선을 갖고 있어 많은 응용회로에 사용된다. 뉴런의 특성곡선은 응용회로에 따라 다양한 것들을 필요로 하는 데, 즉 단극성, 양극성, 또는 때에 따라 다극성의 특성곡선이 사용되기도 한다. 그리고 뉴런특성곡선의 기울기는 신경망의 수렴속도 및 안정도에 관련이 있다고 알려지고 있다. 그러므로 다양한 뉴런의 특성곡선을 얻는 것은 중요하다고 할 수 있다.

본 논문에서는 CMOS 인버터를 이용한 뉴런의 특성곡선에서 기울기가 트랜지스터 문턱전압 값의 함수임을 알아내고, 또한 특성곡선의 중심이 두 트랜지스터 모두 포화영역에 있을 때 생긴다는 것에 착안하여 특성곡선을 x축과 y축으로 이동하는 방법을 제안하였다. 컴퓨터 시뮬레이션은 OrCAD사의 PSpice 9.0버전을 이용하였으며, 시뮬레이션 결과들은 제안된 방법으로 특성곡선의 기울기를 변경할 수 있으며, 또한 x축, y축으로 이동할 수 있음을 보여 주었다.

그러나 특성곡선의 기울기를 변경하고, x축, y축 이동에 관한 수식을 유도하는 과정에서 2차 방정식이 발생했으며, 그에 대한 해로서 두 개의 식이 생겼다. 하지만, 컴퓨터 시뮬레이션을 통해 알 수 있었듯이 정확한 해는 그 중 하나였지만 그 이유를 이 논문에서는 밝히지 못하고 차후의 연구과제로 넘기게 되어서 아쉬움으로 남는다.

참 고 문 헌

Allen, P.E., and D. R. Holberg. 1987. CMOS Analog Circuit Design. New York : Holt, Rinehart and Winston

Amit K Gupta, and Navakanta Bhat, "Hardware Realization of a Digitally Controllable Neuron Activation Function and its Derivative for Extremely Low Power Application," IEICE TRANS. FUNDAMENTALS. VOL. E82-A JULY 1999

Bernard C, Levy, "Analog CMOS Implementation of Approximate Identity Neural Networks," IEICE TRANS. FUNDAMENTALS. VOL. E80-A FEBRUARY 1997

최영민,윤여홍,윤인섭, "인공신경회로망을 이용한 화학공정의 이상진단 system", 한국 자동제어 학술회의 논문집, pp131-132, 1990.10.26~27

한일승, "신경망 VLSI 기술의 발달과 현재" 한국통신학회지. 제9권, 제11호, pp. 803-804, 1992

Jack M. Zurada, Introduction to Artificial Neural Systems, West Publishing Company, 1992.

Khachab, N.I, and M.Ismail 1989b. "MOS Multiplier/Divider Cell for Analogue VLSI," Electron. Lett. 25(23): 1550-1552

강민제, 1998 "Numerical Modeling of Hopfield Neural Networks" 한국통신학회 논문집 제 23권 제 3호

고경희, 강민제, 1996 "계산에너지 함수 분석을 통한 Hopfield 신경회로망의 최적화" 제5회 인공지능, 신경망 및 퍼지 시스템 학술대회

이윤현 저, 정설 전자공학, 근학사, 1981

이훈복, 최명렬 “신경회로망의 VLSI 구현과 뉴로컴퓨터”, 정보과학회지. 제10권, 제2호, pp.71-83., 1992.4

Motoi INABA, Koichi TANNO, "Analog Inverter with Neuron -MOS Transistors and its Application," IEICE TRANS. FUNDAMENTALS. VOL. E85-A FEBURUARY 2002

박성범, 이종호, “Hopfield 신경회로망의 VLSI 구현 연구” , 대한전기학회 컴퓨터 및 인공지능 연구회 학술발표 논문집, 1992.5.

Shoemaker, P. “CMOS Analog Four-Quadrant Multiplier” , United State Patent, Patent Number :4,978,873

Beale, R. and T. Jackson, Neural Computing : An Introduction, Adam Hilger, 1990.

Zurada, J. M., Y. S. Yoo, and S. V. Bell. 1989. “Dynamic Noise Margins of MOS Logic Gates,” in Proc.1989 IEEE Int.Symp. on Circuits and Systems, Portland, Oregon, May 9-11, 1989.

