

## 직렬 결합형 PIN 다이오드를 이용한 WLL용 3-bit 위상천이기 설계

김 윤 영\* · 양 두 영\*\*

### The Design of 3-bit Phase Shifter for WLL Using the Series-Coupled PIN Diode

Yun-Young Kim\* and Doo-Yeong Yang\*\*

#### ABSTRACT

In this paper, the 3-bit phase shifter using the series-coupled PIN diode to decrease the insertion loss is designed at WLL frequency bandwidth. The 30° bit and the 60° bit phase shifter are designed by the loaded-line type which is easy to obtain a small shift angle and the 90° bit phase shifter is designed by the reflection type obtaining a large shift angle. The 3-bit phase shifter is combined with the series connection of each bit phase shifter by the increasing arrangement of phase shift angle. From the results, the designed 3-bit phase shifter shows that the phase difference of input signal is shifted every thirty-degree intervals at output port. The average value of phase error is 0.53°, maximum phase error is 1.18°, and the insertion loss is 0.840dB~1.335dB at center frequency (2.315GHz).

**Key words** : Series-coupled PIN diode, 3-bit phase shifter

#### 1. 서 론

페라이트(ferrite)를 이용한 최초의 전자식 위상천이기는 1957년에 Spencer에 의해 개발되었고, 1960년대 중반에 접어들면서 다이오드를 이용한 전자식 위상천이기가 등장하였다.<sup>1),2)</sup> 그 이후 전자식 위상천이기는 페라이트 위상천이기와 다이오드 위상천이기는

이동통신 및 위성통신이 요구되는 송·수신 시스템에 사용되고 있으며, 이에 따른 많은 연구가 현재 진행되고 있다.

PIN 다이오드를 이용한 위상천이기는 주로 스위치 선로형, 여파기형, 부하선로형, 반사형 형태로 마이크로 스트립 선로를 이용하여 설계되고 있다.<sup>3)</sup> 스위치 선로형 위상천이기는 다이오드 상태가 ON과 OFF시 삽입손실의 크기가 같고 큰 전력을 전달할 수 있기 때문에 큰 위상차를 얻기에 유리하다. 하지만 설계시 사용되는 다이오드 수가 bit당 4개가 필요하며, 또한 바이어스 회로도 두 개가 필요하다. 이에 비해서 부

\* 제주대학교 대학원

Graduate School, Cheju Nat'l Univ.

\*\* 제주대학교 통신공학과, 산업기술 연구소

Dept. of Telecom. Eng., Res. Insti. Ind. Tech., Cheju Nat'l Univ.

하선로형 위상천이기는 회로의 구조가 간단하며, 설계시 사용되는 다이오드 수는 bit당 2개만을 가지고도 설계가 가능하며 작은 위상차를 얻는데 유리하다.<sup>4)</sup> 반사형 위상천이기는 서큘레이터(circulator)나 90° 하이브리드(hybrid)를 이용하며, 원하는 위상차를 얻기 위해 반사회로가 삽입되므로 회로가 다소 복잡해지지만 큰 위상차를 얻기에 유리하다.<sup>5)</sup> 그러나 부하선로형이나 반사형 위상천이기는 바이어스에 따라 다이오드의 임피던스(impedance)가 달라지기 때문에 삽입손실이 크게 발생한다. 이런 단점을 보완하기 위하여 논문에서는 두 개의 다이오드가 직렬로 결합된 칩(chip) 다이오드가 사용되는데, 직렬로 결합된 칩 다이오드는 바이어스에 따라 한쪽 다이오드가 ON 되면 다른쪽 다이오드는 OFF 된다. 따라서 칩 다이오드 자체의 임피던스 변화는 거의 없으므로, 추가되는 스텐트(stub)의 길이를 적절히 조정하여 위상천이기를 설계한다면 삽입손실을 최대한 줄일 수 있다.

본 논문에서는 부하선로형과 반사형 위상천이기의 삽입손실을 줄이기 위해 두 개의 다이오드가 직렬로 결합된 칩 다이오드를 사용하여 주파수가 2.3GHz에서 2.33GHz인 WLL(wireless local loop) 대역에 사용할 수 있는 3-bit 위상천이기를 설계한다. 3-bit 위상천이기를 설계하기 위하여 PIN 다이오드를 이용한 위상천이기의 특징과 원리에 대하여 기술한다. 30° bit와 60° bit 위상천이기는 작은 위상차를 얻는데 유리한 부하선로형을 이용하고 90° bit 위상천이기는 큰 위상차를 얻기 위하여 반사형을 이용하며, 중심 주파수에서 위상오차와 삽입손실을 최대한 줄일 수 있도록 마이크로스트립 선로의 길이를 적절히 튜닝(tuning)시켜 설계한다. 설계된 각각의 위상천이기를 결합하여 3-bit 위상천이기를 구성하고, 설계 중심주파수에서 0° 부터

180° 까지 30° 간격의 위상차와 최저 삽입손실을 갖도록 최적 설계한다.

## II. PIN 다이오드 위상천이기의 종류

고주파 집적회로에 적합한 PIN 다이오드는 p-i-n 접합 형태로서 빠른 스위칭 속도가 요구되는 RF 시스템 스위칭 소자로 널리 이용된다. PIN 다이오드를 이용한 위상천이기는 크게 스위치 선로형, 여파기형, 반사형, 부하선로형 위상천이기로 분류된다.<sup>6),7)</sup> 본 논문에서는 반사형 위상천이기와 부하선로형 위상천이기를 이용하는데, 그 특징과 원리는 다음과 같다.

### 2.1. 반사형 위상천이기

반사형 위상천이기는 Fig. 1과 같이 서큘레이터나 하이브리드 결합기를 사용하여 병렬 스위칭 소자 뒤에 단락회로를 넣는 방식(a)과 직렬로 연결된 뒤에 개방회로를 넣는 방식(b) 및 스위칭 소자를 포함한 lumped 회로에 종단회로를 넣는 방식(c) 등이 있다. 반사형 위상천이기의 기본적인 원리는 전송선로 길이의 변화에 따라 반사파에 의한 위상변화를 이용하는 것으로서 다른 위상천이기에 비해 대역폭이 넓은 것이 특징이다.

위상천이기의 단락된 위치의 변화가  $\Delta L/2$ 일 경우, 위상의 변화  $\Delta\phi$ 는 다음과 같다.

$$\Delta\phi = 2\pi\Delta L/\lambda \quad (1)$$

반사형 위상천이기는 서큘레이터를 사용할 경우 최소 1개의 스위칭 소자가 필요하고 하이브리드 결합기를

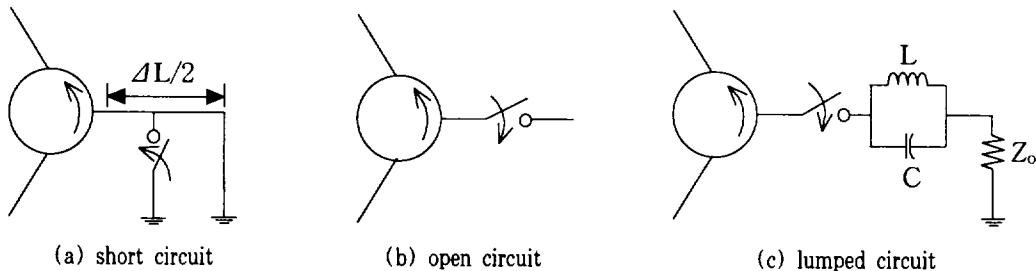


Fig. 1 Reflection type phase shifters

사용할 경우 최소 2개의 소자가 필요하므로 스위칭 소자가 가장 적게 사용되는 위상천이기이다. 서클레이터에서 스위칭 소자를 포함한 단락회로 쪽으로 본 어드미턴스를  $Y$ 라 할 때 길이 변화  $\Delta L/2$ 에 의한 정규화된 어드미턴스  $y$ 의 변화는

$$y = -j \cot(\Delta\phi/2) \quad (2)$$

가 된다. 실제 스위칭 소자로 많이 사용하는 다이오드는 스위칭 상태, 즉 순 또는 역 바이어스에 따라 유도성 및 용량성이 되므로 위상오차가 발생하게 된다. 이러한 위상천이기를 해석하면, 우선 어드미턴스에 따른 반사계수(reflection coefficient)  $\Gamma$ 는 다음과 같다.

$$\Gamma = \frac{Y_0 - Y}{Y_0 + Y} \quad (3)$$

여기서  $Y_0$ 는 선로의 특성 어드미턴스이다. 이때의 어드미턴스는 서셉턴스(susceptance)  $B$ 성분만 있으므로 식(3)은

$$\Gamma = \frac{(Y_0^2 - B^2) - j2BY_0}{Y_0^2 - B^2} \quad (4)$$

로 표현되며, 식(4)로부터 반사계수의 위상  $\phi$ 는 다음과 같다.

$$\begin{aligned} \phi &= \tan^{-1} \left[ \frac{-2B/Y_0}{1 - (B/Y_0)^2} \right] \\ &= -2 \tan^{-1}(B/Y_0) \end{aligned} \quad (5)$$

다이오드가 순 바이어스 상태에 있을 때 정규화된 어드미턴스  $y_r$ 는 다음과 같다.

$$y_r = -j \left( \frac{Z_0}{wL} \right) \quad (6)$$

식(6)을 식(5)에 대입하고 식(2)와의 관계로 순 바이어스 상태, 즉 스위치가 단락되었을 때의 위상은

$$\phi_r = -2 \tan^{-1} \left[ -\frac{Z_0}{wL} - \cot \left( \frac{\Delta\phi}{2} \right) \right] \quad (7)$$

이다. 같은 방법으로 역 바이어스 상태(스위치 개방)의 정규화된 어드미턴스와 위상은

$$y_r = jwCZ_0 \quad (8)$$

$$\phi_r = -2 \tan^{-1} \left[ wCZ_0 - \cot \left( \frac{\Delta\phi}{2} \right) \right] \quad (9)$$

로 표현된다. 따라서 다이오드를 스위칭 소자로 사용하는 반사형 위상천이기의 실제 위상천이각  $\Delta\phi'$ 는 식(10)과 같이 나타낼 수 있다.

$$\Delta\phi' = \phi_f - \phi_r \quad (10)$$

## 2.2. 부하선로형 위상천이기

Fig. 2에 나타낸 부하선로형 위상천이기는 전송선로의 길이  $\theta (=2\pi L/\lambda)$  사이에 정규화된 서셉턴스  $B$ 를 갖는 회로를 병렬로 연결함으로써 서셉턴스의 변화에 따라 위상차를 얻는 방식이다.

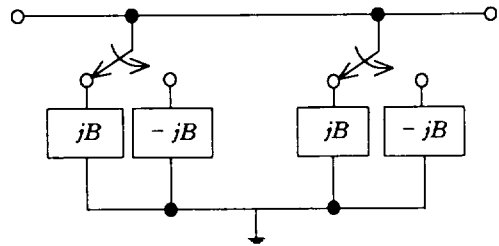


Fig. 2 Loaded-line type phase shifter

이 방식의 해석방법으로는 ABCD 행렬을 이용하여 S 파라미터를 구함으로써 위상천이각을 계산할 수 있는데, Fig. 2의 부하선로형 위상천이기 회로를 ABCD 행렬로 표현하면 다음과 같다.

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ jB & 1 \end{bmatrix} \begin{bmatrix} \cos \theta & j \sin \theta \\ j \sin \theta & \cos \theta \end{bmatrix} \begin{bmatrix} 1 & 0 \\ jB & 1 \end{bmatrix} \quad (11)$$

식(11)을 정리하여  $S_{21}$ 과 위상  $\phi$ 를 구하면

$$\begin{aligned} S_{21} &= \frac{2}{A + B + C + D} \\ &= \frac{1}{(\cos \theta - B \cos \theta) + j[B \cos \theta + (1 - B^2/2) \sin \theta]} \end{aligned} \quad (12)$$

$$\phi = \tan^{-1} \left[ -\frac{B+(1-0.5B^2)\tan\theta}{1-B\tan\theta} \right] \quad (13)$$

이므로, Fig. 2와 같이 스위칭 상태에 따라 서셉턴스의 부호만 바뀔 경우 위상지연  $\phi_D$ 는 다음과 같이 쓸 수 있다.

$$\phi_D = \pi + \tan^{-1} \left[ \frac{B+(1-0.5B^2)\tan\theta}{1-B\tan\theta} \right] \quad (14)$$

만일 Fig. 2의 회로가 무손실 전송선로라면 입력 반사계수  $S_{11}$ 과 입력 정재파비(VSWR)는

$$S_{11} = (1 - |S_{21}|)^{\frac{1}{2}} = \left( 1 - \frac{1}{1 + B^2(\cos\theta - 0.5B\sin\theta)^2} \right)^{\frac{1}{2}} \quad (15)$$

$$VSWR = \frac{1 + |S_{11}|}{1 - |S_{11}|} \quad (16)$$

으로 표현된다.

부하선로형 위상천이기의 위상오차는 입력 정재파비와 관계가 있는데 Fig. 2와 같이 2개의 병렬 어드미턴스가 동일할 경우 위상오차는

$$\begin{aligned} \phi_{error} &= \pm \sin^{-1}(|\Gamma_1| |\Gamma_2|) \\ &= \pm \sin^{-1}(\Gamma^2) \end{aligned} \quad (17)$$

으로 표현된다. 따라서 반사계수  $\Gamma$ 와 정재파비는 다음과 같이 쓸 수 있다.

$$\Gamma = (\sin \phi_{error})^{\frac{1}{2}} \quad (18)$$

$$VSWR = \frac{1 + \Gamma}{1 - \Gamma} \quad (19)$$

식(16)과 식(19)를 비교하면 부하선로형 위상천이기의 회로에 따른 정재파비가 위상오차에 영향을 주고 있음을 알 수 있다.

### III. 3-bit 위상천이기의 설계 및 결과

본 논문에서는  $0^\circ$  에서  $180^\circ$  까지  $30^\circ$  간격으로 위상차를 얻기 위한 WLL대역의 3-bit 위상천이기를 설계한다.  $30^\circ$  bit와  $60^\circ$  bit는 위상차가 작은 경우이므로 정확한 위상천이를 얻기 위해 부하선로형 위상천이기를 사용하였으며,  $90^\circ$  bit는 큰 위상차를 얻는데

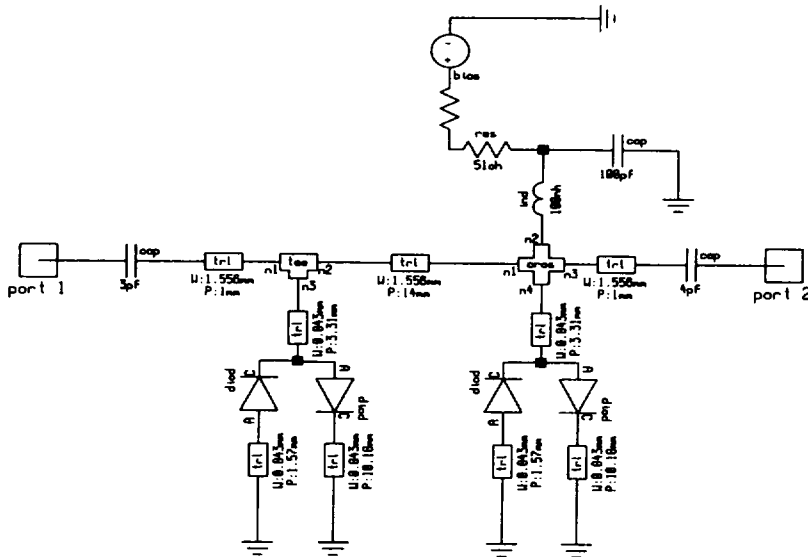


Fig. 3 Schematic diagram of  $30^\circ$  bit phase shifter

유리한 하이브리드 결합기를 이용하여 반사형 위상천이기를 사용하였다. 설계에 사용된 시뮬레이션 툴(tool)은 serenade-8.0을 이용하였고, PIN 다이오드는 두 개의 다이오드가 직렬로 결합된 HP사의 hsm3892 칩 다이오드를 사용하였다. 이 형태는 두 개의 다이오드가 순 바이어스와 역 바이어스 일 때 서로 반대로 한쪽 다이오드가 ON이 되면 다른쪽 다이오드는 OFF 되는 구조를 가지고 있다. 따라서 단일 다이오드가 ON과 OFF 상태에 따라 임피던스 값이 달라지므로 이로 인하여 발생하는 삽입손실을 줄여준다.

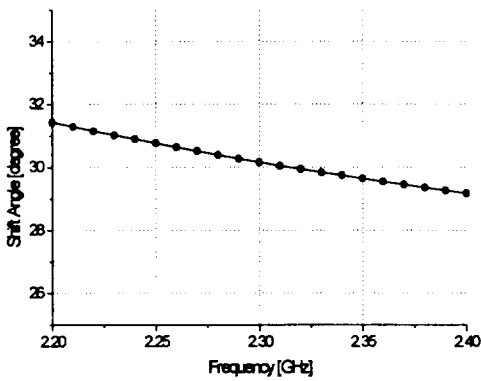


Fig. 4 Shift Angle of 30° bit phase shifter

### 3.1. 30° bit 위상천이기

본 논문에서는 Fig. 3과 같이 직렬 결합 PIN 다이오드와 70Ω 단락 스텐브(short stub)를 부하선로에 병렬로 결합하여 30°의 위상차를 갖도록 설계하였다. 직렬로 결합된 다이오드에 연결된 두 개의 단락 스텐브의 길이가 삽입 손실이 커지지 않는 범위 내에서 적절한 길이를 갖도록 설계해야 한다.

Fig. 4과 Fig. 5은 설계된 30° bit 위상천이기의 주파수에 따른 위상차와 삽입손실을 나타낸 것이다. 그림에서 보면 WLL 대역인 2.3GHz ~ 2.33GHz에서 위

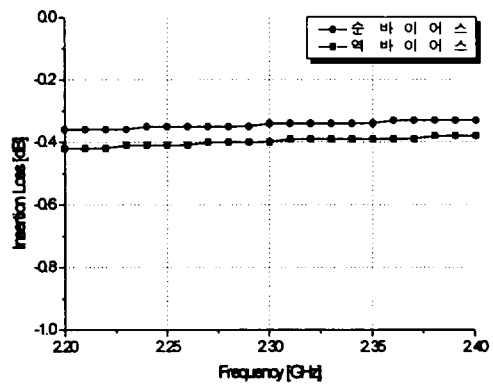


Fig. 5 Insertion Loss of 30° bit phase shifter

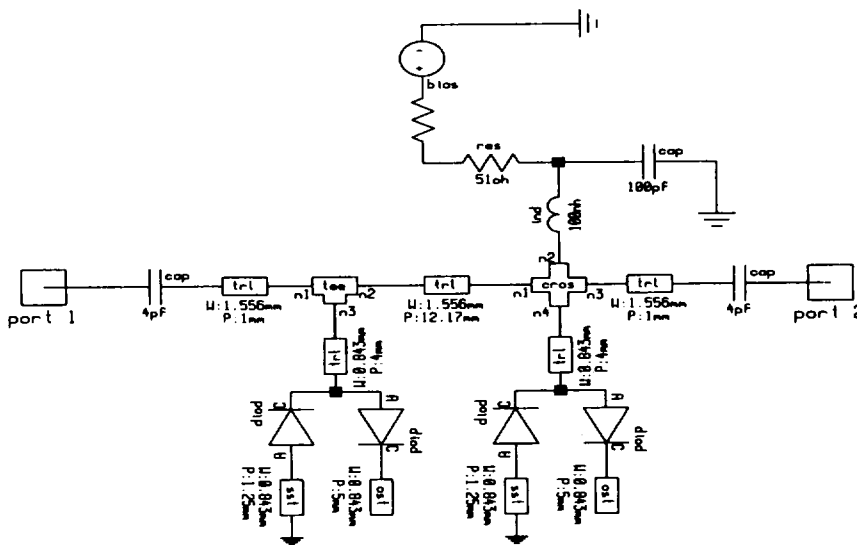


Fig. 6 Schematic diagram of 60° bit phase shifter

상차는  $30.16^\circ \sim 29.84^\circ$  로 중심 주파수(2.315 GHz)에서  $30^\circ$  로 나타났고, 삽입손실은 순 바이어스와 역 바이어스 일 때 각각 0.34dB와 0.395dB로 나타났다.

### 3.2. $60^\circ$ bit 위상천이기

Fig. 6는 설계된  $60^\circ$  bit 위상천이기의 회로도를 나타낸 것으로,  $30^\circ$  bit 위상천이기와 마찬가지로 부하선로형으로 구성하였다.  $60^\circ$  의 위상차를 갖기 위하여  $30^\circ$  bit 위상천이기에서처럼 두 개의 PIN 다이오드에 모두 단락 스테브를 결합하면 어느 한쪽 다이오드의 단락 스테브는  $\lambda/4$ 길이보다 길게 설계하여야 한다. 따라서 본 논문에서는 두 개의 PIN 다이오드 중 어느 한쪽 다이오드에 개방 스테브를 결합하여 스테브의 길이를 줄였고, 개방 스테브를 연결함으로써 발생하기 쉬운 삽입손실도 최대한 작게 설계하였다.

Fig. 7와 Fig. 8는 설계된  $60^\circ$  bit 위상천이기의 주파수에 따른 위상차와 삽입손실을 나타낸 것이다. 그림에서 보면 WLL 대역인 2.3GHz ~ 2.33GHz에서 위상차는  $60.11^\circ \sim 59.91^\circ$  로 중심 주파수에서  $60.0^\circ$  로 나타났고, 삽입손실은 순 바이어스와 역 바이어스 일 때 각각 0.38dB와 0.385dB로 나타났다.

### 3.3. $90^\circ$ bit 위상천이기

Fig. 9는 설계된  $90^\circ$  bit 위상천이기를 나타낸 것으로, 입사파와 반사파를 분리하여 2단자 회로로 만들어 큰 위상차를 얻기 위하여 반사형 위상천이기로 설계하였다. 본 논문에서 설계한 반사형 위상천이기는

브랜치라인 결합기에 개방 스테브와 단락 스테브를 사용하여 초기 위상천이를 갖도록 설계하고 스테브의 길이를 조정하여  $90^\circ$  위상차를 갖도록 하였다. 순 바이어스와 역 바이어스 일 때  $60^\circ$  bit 위상천이기와 마찬가지로 개방 스테브를 결합함으로써 발생하기 쉬운 삽입손실을 최소로 줄였다.

Fig. 10와 Fig. 11는 설계된  $90^\circ$  bit 위상천이기의 주파수에 따른 위상차와 삽입손실을 나타낸 것이다. 그림에서 보면 2.3GHz ~ 2.33GHz에서 위상차는  $89.39^\circ \sim 90.62^\circ$  로서 중심 주파수에서  $90.05^\circ$  로 나타났으나 중심 주파수에서 떨어진 대역에서는 위상오차가 증가함을 알 수 있다. 삽입손실은 순 바이어스와 역 바이어스 일 때 각각 0.46dB ~ 0.47dB와 0.33dB ~ 0.35dB로 부하선로형 위상천이기보다 다소 높게 나타났다.

### 3.4. 3-bit 위상천이기

Fig. 12는  $30^\circ$  bit,  $60^\circ$  bit,  $90^\circ$  bit 위상천이기를 결합해서 최종적으로 구성된 3-bit 위상천이기의 레이아웃(layout)을 나타내었다. 높이가 0.8mm, 비유전율이 4.3인 PCB용 FR4 기판을 사용하였으며,  $30^\circ$  bit,  $60^\circ$  bit,  $90^\circ$  bit 위상천이기 순서로 배열하였다. Fig. 13과 Fig. 14는 3-bit 위상천이기에서 주파수에 따라  $0^\circ$  에서  $180^\circ$  까지  $30^\circ$  간격으로 얻은 각 위상 상태에 따른 위상차 및 삽입손실을 보여준다. Fig. 14에서 보면 WLL 대역 중심주파수로부터 떨어진 대역에서는 삽입손실이 크게 나타남을 알 수 있는데 그

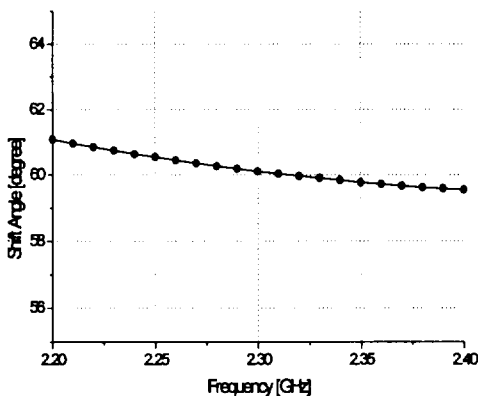


Fig. 7 Shift Angle of  $60^\circ$  bit phase shifter

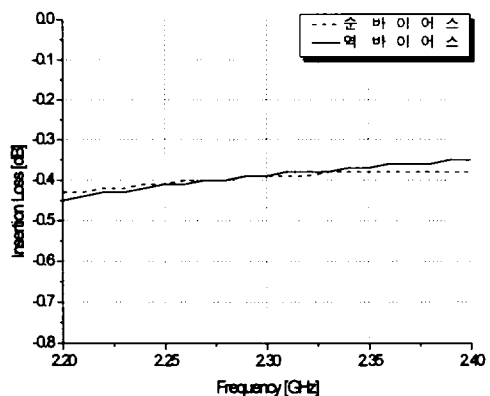


Fig. 8 Insertion Loss of  $60^\circ$  bit phase shifter

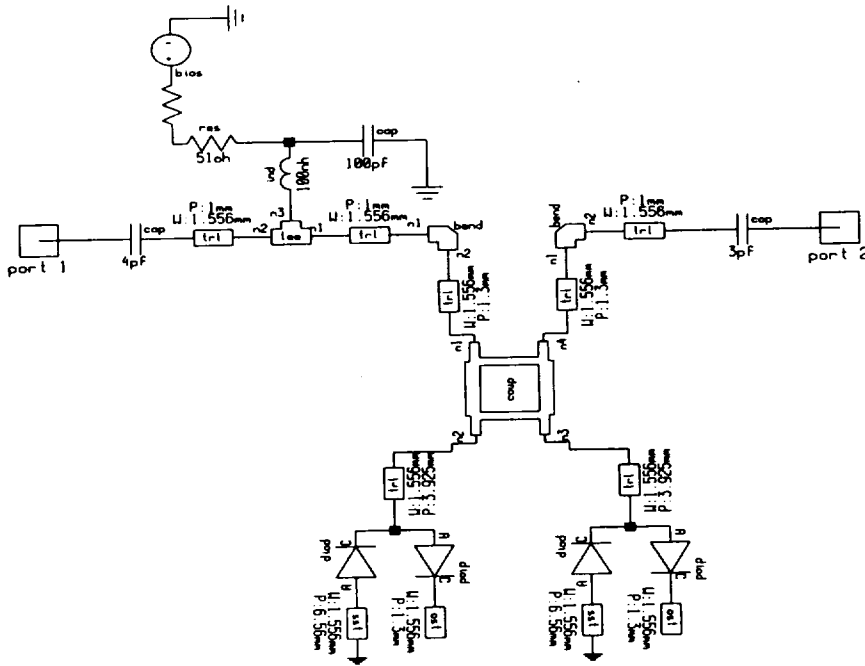


Fig. 9 Schematic diagram of 90° bit phase shifter

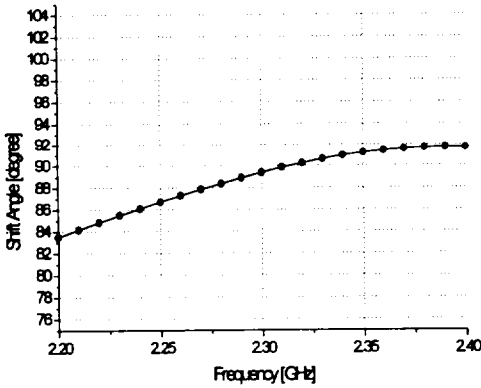


Fig. 10 Shift Angle of 90° bit phase shifter

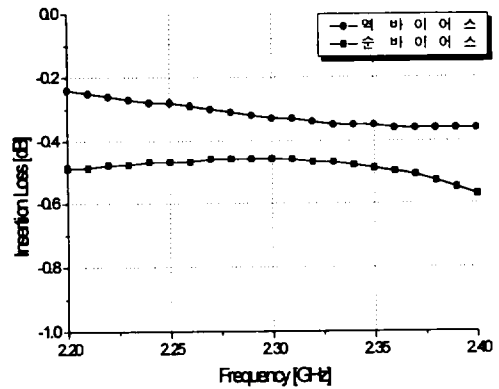


Fig. 11 Insertion Loss of 90° bit phase shifter

이유는 3개의 위상천이기에서 발생하는 삽입손실이 합쳐진 결과로 분석된다. 특히 60° bit와 90° bit 위상천이기에서는 개방 스티브를 사용하기 때문에 특정 주파수에서  $\lambda/4$ 의 길이가 되어 삽입손실이 커지는 경우가 발생하므로, 중심 주파수에서 삽입손실이 커지지 않도록 해야한다.

Table 1은 WLL대역의 중심주파수에서 0° ~ 180° 까지 30° 간격으로 얻은 각 위상상태에 따른 위상차, 위상오차 및 삽입손실을 나타낸 것이다. 각 bit 상태는 30° bit, 60° bit, 90° bit 위상천이기의 바이어스 회로 순서로 하여 역 바이어스 일 때는 '0', 순 바이어스 일 때는 '1'로 표시했다. Table 1에 나타낸

것처럼, 중심주파수에서 최소 위상오차는 0.12°, 최대 위상오차는 1.18°로 평균 0.53°의 위상오차가 나타났다. 그리고 삽입손실은 0.840dB ~ 1.335dB로 양호하게 나타났다. 하지만 위상오차가 60°에서 최대

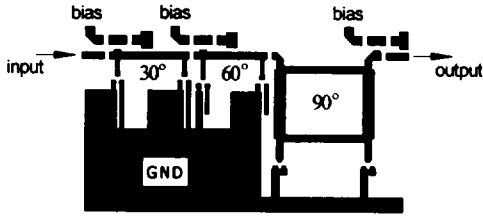


Fig. 12 The layout of 3-bit phase shifter (72.5mm×41.5mm)

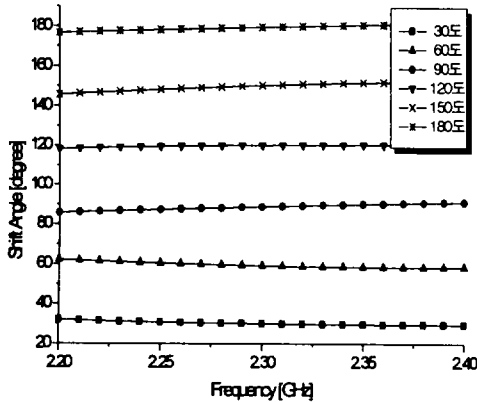


Fig. 13 Shift Angle of 3-bit phase shifter

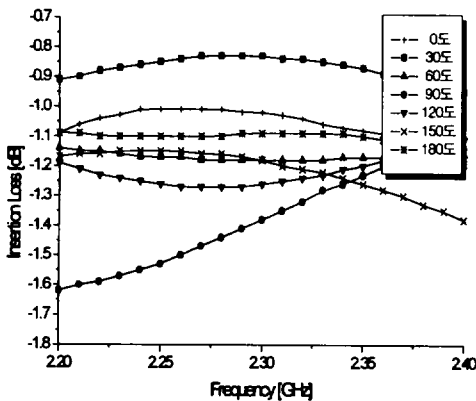


Fig. 14 Insertion Loss of 3-bit phase shifter

Table 1 Shift angle and insertion loss of 3-bit phase shifter

bit 상태	위상각	결과치	위상오차	삽입손실 (dB)
0 0 0	0°	0.0°	0.0°	1.035
1 0 0	30°	29.85°	0.15°	0.840
0 1 0	60°	58.82°	1.18°	1.180
0 0 1	90°	89.23°	0.77°	1.335
1 0 1	120°	120.12°	0.12°	1.245
0 1 1	150°	150.70°	0.70°	1.205
1 1 1	180°	179.73°	0.27°	1.090

로 나타났는데, 그 원인은 3개의 위상천이기를 결합함에 있어서 복잡되어 나타나는 오차가 어느 특정 위상각에 집중된 것으로 분석된다.

#### IV. 결론

본 논문에서는 삽입손실을 줄이기 위해 두 개의 다이오드가 직렬로 결합된 칩 다이오드를 사용하여 주파수가 2.3GHz에서 2.33GHz인 WLL대역에 사용할 수 있는 3-bit 위상천이기를 설계하였다. 사용된 시뮬레이션 툴로는 serenade-8.0을 이용하였고, PIN 다이오드는 두 개의 다이오드가 직렬로 결합된 HP사의 hmp3892를 사용하였다. 30° bit와 60° bit 위상천이기는 부하선로형을 이용하였고 90° bit 위상천이기는 반사형을 이용하였다. 특히 60° bit 위상천이기와 90° bit 위상천이기는 개방 스테브를 사용하여 설계하였으며, 스테브의 길이를 조정하여 삽입손실이 최소값을 갖도록 설계하였다. 그 결과 중심 주파수 (2.315GHz)에서 30° bit 위상천이기는 30°의 위상차와 순 바이어스와 역 바이어스 일 때 각각 0.34dB와 0.395dB의 삽입손실을 얻었고 60° bit 위상천이기는 60.02°의 위상차와 순 바이어스와 역 바이어스 일 때 각각 0.38dB와 0.385dB의 삽입손실을 얻었으며, 90° bit 위상천이기는 90.08°의 위상차와 순 바이어스와 역 바이어스 일 때 각각 0.465dB와 0.335dB의 삽입손실을 얻었다. 그리고 30°, 60°, 90°순으로 결합



하여 3-bit 위상천이기를 구성하였는데, 이 때 각각의 위상천이기 결합으로 인해 발생하는 위상오차와 삽입 손실을 최대한 줄이기 위하여 초기 설계 변수값을 조정하여 설계하였다. 그 결과  $0^\circ$  에서  $180^\circ$  까지  $30^\circ$  간격으로 위상천이 될 때 중심주파수에서 평균 위상 오차가  $0.53^\circ$ , 최대 위상오차가  $1.18^\circ$ , 그리고 삽입 손실은  $0.840\text{dB} \sim 1.335\text{dB}$ 로 양호하게 나타났다. 본 논문에서 설계된 3-bit 위상천이기는 WLL 대역의 수신 시스템에서  $0^\circ$  에서  $180^\circ$  까지 빔 스캔 각(Beam Scan Angle)을 갖는 위상 배열 안테나에 이용될 수 있을 것이다.

#### 참고문헌

- 1) Reggia F. and Spencer. E. G. 1957, A New Technique in Ferrite Phase Shifting for Beam Scanning of Microwave Antennas, *Proc. IRE*, Vol.45, pp.1510-1517.
- 2) Burns R. W. and Stark. L. 1965, PIN Diodes Advance High Power Phase Shifting, *Microwaves*, Vol.4, pp.38-48.
- 3) Inder Bahl, Prakash Bhartia, 1988, *Microwave Solid State Circuit Design*, John Willy & Sons, pp.626-652.
- 4) Atwater H. A., 1985 Circuit Design of the Loaded-line Phase Shifter, *IEEE Trans. on Microwave Theory and Tech.*, Vol.MTT-33, No. 7, pp.626-634.
- 5) Kori M. H., 1985 Integral Analysis of Hybrid coupled semiconductor Phase Shifters, *Proc. IEE.*, Vol.134, pt. H, No.2, pp.156-162.
- 6) David M. Pozar, 1998, *Microwave Engineering*, John Willy & Sons, pp.576-577.
- 7) Shibani K. Koul Bharathi Bhat, 1991, *Microwave and Millimeter Wave Phase Shifters*, Artech House, pp.419-477.