

디지털 周波數合成器의 設計에 關한 研究

金 斗 京

A Study on the Design of a Digital Frequency Synthesizer

Kim Doo-gyung

Summary

This paper describes a study on the design of a digital frequency synthesizer using binary coded decimal counters and PLL characteristics.

The digital Frequency Synthesizer is a Phase-Locked-Loop System that Produces a wide range of output frequencies depending on the setting of BCD counters.

This dividers are replaced by the new and simple digital frequency synthesizer. The experimental results prove propriety of making 50% duty cycle output frequencies and decreasing undershoot.

序 論

디지털 周波數合成器는 기준이 되는 어느 周波數로부터 원하는 任意의 여러가지 周波數를 얻을 수 있는 장치이므로 宇宙通信을 비롯하여 標準信號發生器, Radar, PCM通信 등 각종 通信分野에 利用될 뿐 아니라 Motor 速度制御, A/D, D/A 변환기 등 디지털기기의 시험 등에도 使用된다.

레지스터, ROM, 어큐뮬레이터, 멀티플라이어를 使用하여 디지털 周波數合成器를 構成하였는데

動作特性은 우수하나 回路의 복잡성을 면치 못하였다. (Tierney, 1971) 그후 晝배기를 使用해서 周波數合成器를 構成하였으나 이 合成器는 周波數合成範圍가 좁고 晝환특성이 좋지 않았다. (Messerschmitt, 1978) 本 論文에서는 Berlin (1978)의 counter와 PLL를 使用한 方法 利用하여 디지털 周波數合成器를 設計하였다.

研究 方法

1. PLL의 原理

PLL(Phase-Locked Loop) 회로를 定義한다면 入力信號의 位相에 追隨하는 位相同期回路이다. PLL의 回路構成은 位相比較器, 電壓制御發振器, 低域필터로 構成된다. PLL은 一種 周波數負饋還回路이며 閉回路 中에 있는 電壓制御發振機의 周波數가 언제나 入力信號에 一致하도록 動作하는 回路이다.

PLL의 基本블럭도는 Fig.1과 같다.

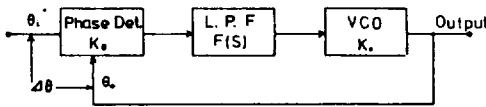


Fig.1. The Block Diagram of PLL

入力信號의 位相을 θ_i , VCO의 出力位相을 θ_o 라 하면 位相比較器의 出力電壓은

$$V_p = K_\theta \Delta\theta \quad \Delta\theta = \theta_i - \theta_o \quad \dots\dots\dots (1)$$

K_θ : 位相比較器의 變換利得

位相比較器의 出力電壓은 低域필터의 傳達函數를 $F(s)$ 라 하면 필터의 出力電壓

$$V_f(s) = V_p F(s) \quad \dots\dots\dots (2)$$

필터의 出力電壓이 VCO의 出力周波數를 調整한다. VCO周波數의 中心周波數(W_o)에서부터 ΔW_o 만큼 周波數偏移가 생긴다.

$$\Delta W_o(s) = K_o V_f(s) \quad \dots\dots\dots (3)$$

K_o : VCO의 變換利得(rad/s · v)

따라서 周波數는 位相의 微分函數이다.

$$W = \frac{d\theta}{dt} \quad \dots\dots\dots (4)$$

(3)식을 다시 쓰면

$$\frac{d\theta_o}{dt} = K_o V_f(s) \quad \dots\dots\dots (5)$$

(5)식에 Laplace Transform을 취하면

$$\theta_o = \frac{K_o V_f(s)}{s} \quad \dots\dots\dots (6)$$

그러므로 VCO의 出力周波數는 VCO의 入力電壓의 積分値에 比例한다.

식(1), (2), (6)를 $\theta_o(s)/\theta_i(s)$ 에 대해서 풀면 PLL의 傳達函數는

$$T(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_\theta K_o F(s)}{s + K_\theta K_o F(s)} \quad \dots\dots\dots (7)$$

低域필터는 Fig-2와 같다.

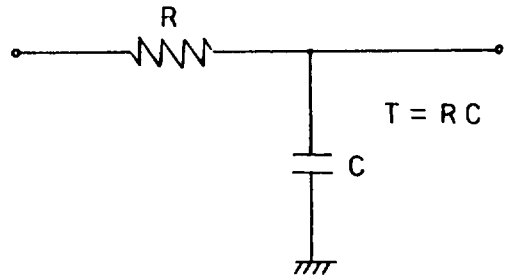


Fig.2. Passive Lowpass Filter

低域필터의 傳達函數는

$$F_A(s) = \frac{1}{1 + TS} \quad \dots\dots\dots (8)$$

(8)식을 (7)식에 넣으면

$$T_A(s) = \frac{K_\theta K_o / T}{s^2 + (1/T)s + (K_\theta K_o / T)} \quad \dots\dots (9)$$

(9)식의 分母를 2次 시스템의 特性方程式에 引用하면

$$s^2 + 2\xi W_n s + W_n^2 = 0 \quad \dots\dots\dots (10)$$

ξ : 댕핑계수 W_n : 루우프 자연주파수

$$\text{따라서 } \xi = \frac{1}{2} \left(\frac{1}{K_\theta K_o T} \right)^{\frac{1}{2}}$$

$$W_n = \left(\frac{K_\theta K_o}{T} \right)^{\frac{1}{2}}$$

(9)식을 다음과 같이 便利한 數式으로 展開할 수 있다.

$$T_A(s) = \frac{W_n^2}{S^2 + 2\zeta W_n S + W_n^2} \dots\dots\dots (11)$$

低域필터에서의 高周波 成分이나 雜音을 除去하여 位相差의 成分만을 얻어 내므로 필터를 통한 후의 誤差電壓 \$V_i\$는 (12)식에 의해서 定義된다.

$$V_i = K_\theta F(S)\Delta\theta$$

PLL에서 自主周波數는 入力信號가 없을 경우의 VCO의 發振周波數로 R과 C에 의해서 外部에서 간단히 調整된다.

維持範圍(Lock Range)는 PLL의 最初 로크하고 있는 狀態에서 入力信號를 變化하였을 때 그 信號와 로크狀態를 유지할 수 있는 VCO의 發振周波數 範圍로 \$f_L\$이라 하면

$$f_L = f_{max} - f_{min}$$

\$f_L\$: 유지범위 주파수

\$f_{max}\$: 로크할 수 있는 최대주파수

\$f_{min}\$: 로크할 수 있는 최소주파수

VCO의 角周波數 \$W_o\$는 그 自主周波數를 \$W_i\$라 하면

$$W_o = W_i = W_i + \frac{d\theta_o}{dt}$$

\$\frac{d\theta_o}{dt}\$는 (5)식에서 低域필터를 통한 후의 誤差電壓 \$V_i\$에 의해서 制御되는 각주파수 성분으로 \$\frac{d\theta_o}{dt} = K_\theta V_i\$이다.

正常狀態에서 VCO의 周波數偏移는 入力周波數 偏移에 一致하므로 Lock Range를

$$\Delta W_1 \text{이라 하면}$$

$$\Delta W_2 = \frac{d\theta_i}{dt} = K_\theta K_o L^{-1} [F(s)] \Delta\theta \text{이다.}$$

capture Range는 PLL의 最初 로크하지 않은 狀態에서 入力信號를 바꾸어 갈 때 로크될 수 있는 入力周波數 \$f_c\$이다. 入力角周波數가 \$\Delta W_1\$ 달라졌을 때의 低域필터의 傳達函數를 \$F(j\Delta W_1)\$라 하면 오차전압은 (12)식에 의하여

$$V_f = K_\theta F(j\Delta W_1) \Delta\theta \dots\dots\dots (12)$$

一般的으로 \$|F(j\Delta W_1)| \le 1\$이며 더우기 周波數 特性을 가지고 있으므로 PLL이 로크하고 있을 때

의 最大 誤差電壓은

$$V_{imax} = K_\theta F(j\Delta W_1) \Delta\theta \text{이다.}$$

\$\Delta W_1\$: 캡처할 수 있는 入力주파수

PLL이 로크狀態에 있을 때 入力周波數偏移는 正常狀態에서의 VCO의 周波數偏移에 一致하므로

$$\Delta W_i = \Delta W_o = K_T F(j\Delta W_i)$$

$$\therefore F(j\Delta W_i) = \frac{\Delta W_i}{K_T} \dots\dots\dots (13)$$

(13)식을 (12)식에 代入하면

$$V_f = \frac{K_\theta \Delta W_i}{K_T}$$

$$K_T = K_\theta K_o \text{이다.}$$

Capture Range에 들어간 순간에는

\$\Delta W_o = \Delta W_i\$, \$V_{imax} = V_i = K_\theta F(j\Delta W_1) \Delta\theta\$이므로 PLL이 캡처할 수 있는 入力角周波數를 \$\Delta W_c\$라 하면

$$\Delta W_c = K_T F(j\Delta W_c) \text{이다.}$$

따라서 로크레인지 DC 부우프利得에 關係되며 캡처레인지는 DC 부우프利得과 低域의 대역폭 (Bandwidth)에 의해서 決定된다.

一般的으로 캡처레인지는 로크레인지보다 좁다. 캡처레인지를 \$\Delta W_{CA}\$라 하면

$$W_{CA} \approx \left(\frac{W_L}{RC} \right)^{\frac{1}{2}} \text{ (rad/s)}$$

\$W_L\$: 로크레인지

2. NE555 信號發生器

NE555는 廣範圍하게 非安定 또는 單安定回路를 使用할 수 있는 IC로 簡便하고 값싸게 正確하게 矩形波發生器로 利用할 수 있다.

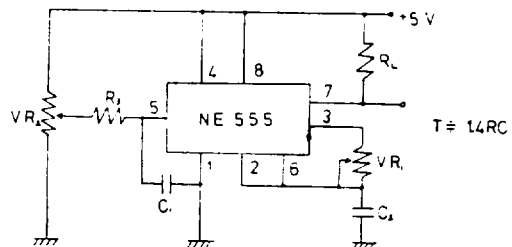


Fig.3. The Reference Signal Oscillator

開放컬렉터 出力端子는 Pin7번이며 TTL이나 CMOS등 各種의 Logic Level과의 인터페이스(Interface)가 容易하다.

이 端子는 開放컬렉터이므로 풀업저항(Full-up) R_L 을 連結해서 使用한다.

SN74192 IC는 從屬接續이 可能하며 竝列로드 (Parallea Load)가 可能한 同期式 up/Down 카운터로서 電子計算機에 有用한 IC이다.

本 論文에서는 減算카운터(Down Counter)로서 SN74192를 從屬接續하여 使用하였다.

3. SN74192와 COUNTER IC

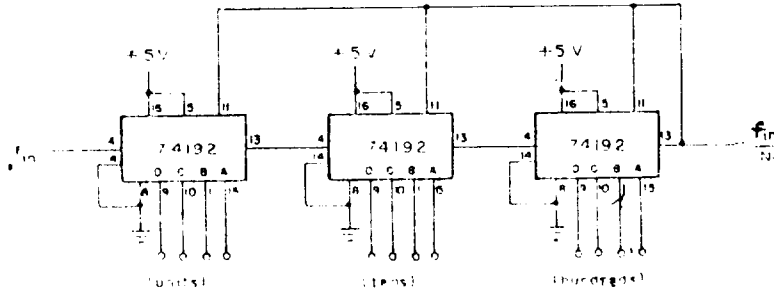


Fig.4. Three 74192 counters unit—decade—cascaded

減算카운터 動作時 카운터 內容이 0→9로 바뀌었을 때 위의 자리에서 빌려오지 않으면 計算이 맞지 않으므로 Borrow 端子에서 Pulse 1個 出力한다.

IC를 10진 세 자리의 카운터로서 使用하는 경우에는 Borrow端子를 바로 위 자리의 Down端子에 接續함으로써 몇 자리의 카운터라도 만들 수 있다.

$$f_{out} = \frac{f_{in}}{N} \quad 1 \leq N \leq 999$$

各各의 카운터 入力데이터는 0~9까지만 使用한다.

實驗 方法

디지털 周波數合成器의 Block Diagram은 Fig.5와 같다.

本 論文에서는 發振器 NE555 Timer를 利用한 50% Duty Cycle의 矩形波信號를 基準信號로 使用하였다.

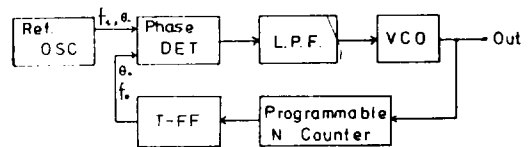


Fig.5. The Block Diagram of Frequency Synthesizer

位相比較器와 VCO는 PLL IC인 MC14046B를 使用하였으며 Programmable counter는 SN74192를 3個 使用하였다.

T-FF는 JK Flip-Flop인 SN7473을 利用하여 設計하였다.

電源電壓은 모든 IC에 +5V를 供給한다. 우선 SN74192 counter IC의 入力데이터 $N=100$ 로 Load한다. 基準發振器 NE555 IC의 $VR_1=1M\Omega$ 을 調整하여 出力周波數가 100KHz되게 한다. $VR_2=50k\Omega$ 을 調整하여 出力波形的 Duty cycle이 50% 되게 한다.

이 때 NE555 IC의 7번 端子의 出力 $f_{in}[1]$ 은 500Hz가 된다. 이 때 VCO의 出力周波數를 $f_{out}[1]$ 라 하면 또 SN74192의 Modulus을 N 이라 set

한다. T-FF를 使用하므로 T-FF의 分周器는 1/2이다.

따라서 $f_{out}[1] = 2N \cdot f_{in}[1] = 2N \times 500\text{Hz} = N\text{KHz}$

結果 및 考察

實驗結果 Modulus(N)의 값에 따라 10KHz~700KHz까지 1KHz 間隔으로 周波數를 合成할 수 있었다. 出力周波數의 Low Pass Filter의 DC電壓은 Linear임을 알 수 있었으며 出力矩形波 安定을 위하여 IC NE555의 opencollector 7번端子の 出力基準周波數로 使用하였다.

또한 矩形波의 上, 下波形이 겹치는 것을 防止하기 위하여 MC14046B의 11번端子 抵抗을 4.7K Ω 으로 使用하였다.

이 抵抗이 너무 작으면 Overlap이 생기고 너무 크면 入力周波數 引入範圍가 좁아진다.

MC14046B의 9번端子の condenser를 0.2 μ F Mylar와 47 μ F/10V Electrolytic을 使用하여 充分히 Filter에 合成周波數를 安定시켰다.

從屬接續 Counter IC SN74192의 出力波形的

Pulse width가 30nS이므로 MC 14046B의 Leading Edge Sensing Logic과 Matching시킬 수 없어서 SN7473을 利用하여 解決하였다. 따라서 undershoot가 적고 Duty cycle이 50%되는 安定된 周波數合成器를 만들 수 있었다.

摘 要

本 論文에서 Programmable Counter와 PLL IC를 利用하여 低電壓 DC5V에서 動作할 수 있는 새로운 디지털 周波數合成器를 만들었다. Digital 入力 N의 값에 比例하는 새로운 周波數를 만들 수 있으므로 Micro-Processor를 利用한 Motor 速度制御, 디지털 周波數發振器로 使用할 수 있으며 Frequency counter에 應用할 수 있을 것이다.

그러나 周波數合成範圍가 10KHz~700KHz 이어서 좀 더 改善해야 한다.

本 論文의 回路設計를 改善하여 Onechip化하면 外部回路 構成이 簡單해지고 여러 計測器에 應用할 수 있다.

引 用 文 獻

- 電子展望, 編集部, 1980. PLL 活用ガイド.
- Berin, H. M., 1978. Design of Phase-Locked Loop Circuit.
- Gardner, F. M., 1979. Phaselock Techniques.
- Laskowski, L. P., and Tocci, R. J., 1979. Microprocessor and Micro-Computers Hardware and Software.
- Lindsey, W. C., and Simon, M. K., 1977. Phase-Locked Loop and Their Application.
- Messerschmitt, D. C., 1978. A New PLL Frequency Synthesis structure IEEE Trans. Comm. Vol. COM-26, PPL. 195~1,200 No.8.
- Morris, J. R., and Miller, 1980. Designing with TTL Integrated circuits.
- Rich, M. A., 1974. Designing Phase-Locked Oscillators for Synchronization. IEEE Trans. Vol. CAS-21.
- Ryu Jai Seong., 1982. A Study and Design on the Frequency Synthesizer Using PLL Characteristics.
- Tierney, J. and Rader, C. M., 1971. A Digital Frequency Synthesizer. IEEE Trans, Audio & Electroacoustics, Vol. Aul. No.1.