

# CMOS 뉴런의 활성화 함수

신 동 하\* · 강 민 제\*\*

## CMOS Neuron Activation Function

Dong-Ha Sin\* and Min-Jae Kang\*\*

### ABSTRACT

Activation function of CMOS inverter based neuron is analyzed. Neuron activation function is controlled to change its slope and to shift to X, Y axis by MOS transistor threshold voltage and gain factor. PSpice 9.0 version of OrCAD Co. is used for circuit level simulation.

**Key Words** : CMOS inverter, Neuron, Activation function, Threshold voltage, Gain factor, Convergence

### I. 서론

신경회로망의 하드웨어 구현을 위해서는 기본적으로 신경회로망에서 이루어지는 연산, 즉 곱셈과 덧셈 기능 그리고 시그모이드 함수를 나타내는 기능을 가지고 있어야 한다<sup>1)</sup>. 즉, 곱셈기, 덧셈기, 그리고 이를 전달받아 비선형 함수로 출력하는 회로가 필요하다. 이를 위하여 지금까지 여러 가지 방법이 제시되었으나 보통 아날로그 신경회로망 회로에서는 시냅스 회로로 전압신호를 받아 전류신호로 출력하는 곱셈기를, 뉴런 회로로는 연산증폭기, 차동증폭기, 또는 MOS 인버터가 주로 쓰이고 있다<sup>2),3)</sup>.

본 논문에서는 CMOS 인버터 회로를 이용하여 뉴런 특성곡선의 기울기를 변경할 수 있고, 또한 뉴런

의 특성곡선을 x축 또는 y축으로 이동할 수 있는 방법을 제안한다. 트랜지스터들이 차단영역, 선형영역 및 포화영역 3개의 영역에 있을 때 나타나는 조건을 분석하여, 뉴런 특성곡선의 기울기는 문턱전압의 함수임을 수식으로 전개하였다. 또한 특성곡선의 중심에서 두 트랜지스터 모두 포화영역에 있다는 사실에 착안하여 x축으로 이동 또는 y축으로 이동할 수 있는 방법을 제안하였다. 시뮬레이션은 회로레벨에서 수행하였으며, OrCAD사의 PSpice 9.0버전을 이용하였다.

### II. CMOS Inverter Based Neuron

뉴런을 구성하는 방법들의 대부분은 연산증폭기를 이용하는 방법이다. 연산기로 유입되는 전류들은 합산되어지고 또한 그 전류들은 전압으로 변환되고 그리고는 비선형으로 매핑되어 출력된다. 그러나, 연산증폭기를 이용한 뉴런들은 다음과 같은 제한된 형태를 갖게 되는 데, (1) 선형이고, (2) 이득률 또한 원

\* 제주대학교 산업대학원

Graduate School Industry, Cheju Nat'l Univ.

\*\* 제주대학교 전기전자공학부, 첨단기술연구소

Faculty of Electrical & Electronic Engineering, Research Institute of Advanced Technology, Cheju Nat'l Univ.

점 주위에서 결정된 특성곡선의 기울기에 의해 결정되며, (3) 선형을 벗어난 영역은 포화된 값으로 된다. 요약한다면 특성곡선은 선형이거나, 구간 선형이 된다. 그러나 많은 응용회로에서 시그모이드 형태의 뉴런 특성곡선을 요구하는 경우가 있다. 여기서 "시그모이드"라 함은 영문자 S 형태의 완만한 곡선을 뜻한다. 이러한 특성곡선은 간단한 푸시-풀 증폭기를 이용하여 얻을 수 있으며, 이런 회로는 논리회로에서 전압 인버터로 이용되고 있다<sup>1)</sup>.

CMOS 인버터 회로는 Fig. 1에서 알 수 있듯이 NMOS와 PMOS 트랜지스터로 구성되어지며 트랜지스터들의 드레인을 공통으로 묶고, 또한 이 곳을 출력으로 한다. 게이트들은 또한 공통으로 묶어서 입력으로 하고 소스들은 외부 공급전원들  $V_{dd}$ 와  $V_{ss}$ 에 연결되어 있는 데, 여기서  $V_{dd} = -V_{ss}$ 이다. MOS 트랜지스터는 차단영역, 선형영역, 또는 포화영역 즉, 3개의 영역에 머물게 된다. 따라서 두 트랜지스터는 3개의 다른 영역의 조합은 9개가 되나, 실제로는 5개의 다른 조건만 유용하다<sup>1)</sup>.

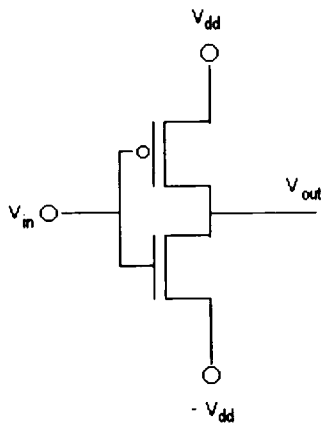


Fig. 1. CMOS inverter based neuron.

우선  $V_{in}$ 이 아주 작은 값으로 시작한다면, 즉,  $V_{in} - V_{ss} < V_{in}$  이면 NMOS 트랜지스터는 차단영역, 그리고 PMOS 트랜지스터는 선형영역이 되어서 출력  $V_{out}$ 은  $V_{dd}$ 가 된다.  $V_{in}$ 이 증가하여 즉, 다음과 같은 조건이 되면,

$$V_{in} - V_{ss} > V_{in} \quad (1)$$

NMOS 트랜지스터는 도통하게 된다. NMOS 트랜지스터가 선형영역에 있는 지, 또는 포화영역에 있는 지를 알기 위해서는  $V_{ds}$ 와  $(V_{gs} - V_{in})$ 을 비교해 봐야 되는 데, 즉 선형영역에 있을 조건은 다음과 같이 표현할 수 있다.

$$V_{out} - V_{ss} < V_{in} - V_{ss} - V_{in} \quad (2)$$

그러므로 위 식은 입력과 출력의 관계식으로 다음과 같이 재정리 된다.

$$V_{out} < V_{in} - V_{in} \quad (3)$$

그리고 포화영역에 있을 조건은 다음과 같다.

$$V_{out} > V_{in} - V_{in} \quad (4)$$

또한 PMOS 트랜지스터도  $V_{in}$ 이 아주 큰 값에 도달하기까지는 도통하게 되며, PMOS 트랜지스터가 어떤 영역에 있는 지를 알기 위하여 위에서 같은 방법을 이용하면, PMOS 트랜지스터가 선형 영역에 있을 조건은 다음과 같으며

$$V_{ds} > V_{gs} - V_{tp} \quad (5)$$

즉,

$$V_{out} - V_{dd} > V_{in} - V_{dd} - V_{tp} \quad (6)$$

위 식을 정리하면 입력과 출력의 관계식으로 다음과 같이 표현된다.

$$V_{out} > V_{in} - V_{tp} \quad (7)$$

그리고 포화영역에 있을 조건은 위 식에서 부등호가 반대이다. Fig. 2는 위에서 설명한 영역의 조건에 따라 CMOS 인버터를 이용한 뉴런의 특성곡선을 그린 것이며, Table 1은 두 트랜지스터의 동작 영역을 보여주고 있다. Fig. 2에서 알 수 있듯이 영역 AB와 EF는 NMOS 트랜지스터와 PMOS 트랜지스터가 각각 차단 영역에 있으므로 출력은  $V_{dd}$ 와  $-V_{dd}$ 이다. 영역 BC와 DE에서 하나의 트랜지스터는 선형 영역이며 다른 하나는 포화 영역에 머물고 있음을 알 수 있다. 그리고 영역 CD에서는 트랜지스터 모두가

포화 영역에 머물고 있다.

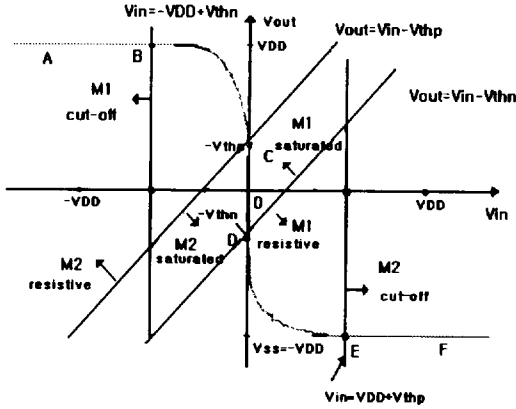


Fig. 2. CMOS neuron voltage transfer characteristics.

Table 1. MOS transistor region

Region	M1	M2
AB	Cut-off	Resistive
BC	Saturated	Resistive
CD	Saturated	Saturated
DE	Resistive	Saturated
EF	Resistive	Cut-off

### III. CMOS 뉴런의 특성곡선

신경망의 활용회로에 따라 다양한 형태의 뉴런 특성곡선이 쓰인다. 주로 사용되는 형태들을 보면, 단극성 특성곡선, 양극성 특성곡선, 다극성 특성곡선, 문턱전압이 있는 특성곡선 등이다.<sup>5,6)</sup> 그리고 때에 따라서는 다양한 기울기의 특성곡선을 필요로 하는 경우도 자주 발생하게 된다. 필요에 따라 뉴런의 출력 특성곡선을 변경하는 것은 컴퓨터 시뮬레이션으로 신경망을 구현할 때는 전혀 문제가 되지 않으나, 하드웨어로 구현함에 있어서는 쉬운 일이 아니다. 본 논문에서는 CMOS 인버터를 기본으로 한 뉴런에서 특성곡선의 기울기를 변경하고, x축으로 이동함으로써 문턱전압을 갖는 특성곡선을 만들 수 있고, 또한 y축으로 이동하여 단극성 또는 양극성 특성곡선을 만들 수 있는 방법을 제안하였다.

### 3.1 특성곡선의 기울기

Fig. 2에서 영역 BC는 PMOS 트랜지스터가 선형 영역, NMOS 트랜지스터는 포화영역에 있는 구간의 곡선이며, 이 때  $k_n = k_p$ 라고 하면, 채널에 흐르는 전류들은 방향만 다르고 크기는 같으므로

$$\frac{k}{2}(V_{gsn} - V_{tn})^2 = k[(V_{gsp} - V_{tp})V_{dsp} - \frac{V_{dsp}^2}{2}] \quad (8)$$

만약  $V_{tn} = -V_{tp}$  이라면,

$$\frac{1}{2}(V_{in} + V_{dd} - V_{tn})^2 = [(V_{in} - V_{dd} + V_{tn})(V_{out} - V_{dd}) - \frac{(V_{out} - V_{dd})^2}{2}] \quad (9)$$

위 식을  $V_{out}$ 에 대해 정리하면

$$V_{out}^2 - 2(V_{in} + V_{tn})V_{out} + (V_{in} - V_{tn})^2 + 4V_{in}V_{dd} = 0 \quad (10)$$

그러므로

$$V_{out} = V_{in} + V_{tn} \pm 2\sqrt{V_{in}(V_{tn} - V_{dd})} \quad (11)$$

식(11)은 영역 BC에서 두개의 출력곡선을 의미하나 실제로 나타나는 현상은 시뮬레이션을 통해서 조사해 보면 다음과 같은 하나의 곡선만이 나타난다.

$$V_{out} = V_{in} + V_{tn} + 2\sqrt{V_{in}(V_{tn} - V_{dd})} \quad (12)$$

영역 CD에서는 PMOS, NMOS 트랜지스터 모두 포화영역에 있으므로 채널에 흐르는 전류들은 방향만 다르고 크기는 같으므로

$$\frac{k}{2}(V_{gsn} - V_{tn})^2 = \frac{k}{2}(V_{gsp} - V_{tp})^2 \quad (13)$$

만약  $V_{tn} = -V_{tp}$  이라면,

$$(V_{in} + V_{dd} - V_{tn})^2 = (V_{in} - V_{dd} + V_{tn})^2 \quad (14)$$

위 식을  $V_{in}$ 에 대해 정리하면

$$4V_{in}(V_{dd} - V_{tn}) = 0 \quad (15)$$

따라서

$$V_{in} = 0, \text{ 또는 } V_{dd} - V_{in} = 0 \quad (16)$$

영역 DE에서 PMOS 트랜지스터는 포화영역, 그리고 NMOS 트랜지스터는 선형 영역에 있으므로 두 채널에 흐르는 전류는 같으므로,

$$\frac{k}{2} (V_{gsn} - V_{tp})^2 = k \left[ (V_{gsn} - V_{tn}) V_{dsn} - \frac{V_{dsn}^2}{2} \right] \quad (17)$$

만약  $V_{in} = -V_{tp}$  이라면,

$$\frac{1}{2} (V_{in} - V_{dd} + V_{tn})^2 = \left[ (V_{in} + V_{dd} - V_{tn})(V_{out} + V_{dd}) - \frac{(V_{out} + V_{dd})^2}{2} \right] \quad (18)$$

위 식을  $V_{out}$ 에 대해 정리하면

$$V_{out}^2 - 2(V_{in} - V_{tn})V_{out} + (V_{in} + V_{tn})^2 - 4V_{in}V_{dd} = 0 \quad (19)$$

식(19) 또한 식(10)과 같이 두 개의 근을 갖고 있으나, 실제 현상으로 나타나는 곡선은 두개의 근중에서 음의 부분만이 나타나며, 그 식은 다음과 같다

$$V_{out} = V_{input} - V_{in} - 2\sqrt{V_{input}(V_{dd} - V_{tn})} \quad (20)$$

식(12)과 식(20)에서 알 수 있듯이 전압의 특성곡선은  $V_{dd}$ ,  $V_{in}$ , 그리고  $V_{tn}$ 의 함수이다. 여기서  $V_{dd}$ 와  $V_{in}$ 은 응용회로에 따라 결정되는 변수이므로 특성곡선의 기울기는  $V_{tn}$ 의 함수임을 알 수 있다.

### 3.2 특성곡선의 x축으로 이동

원점에 대칭인 특성곡선은 뉴런이 작동하는 문턱전압이 영임을 뜻하므로, 이 문턱전압이 영이 아닌 곳에서 작동하는 뉴런을 원한다면 특성곡선을 x축으로 이동하면 된다. 이 논문에서는 특성곡선을 x축으로 이동시키기 위하여 두 트랜지스터 모두 포화영역인 Fig. 2에서 영역CD 부분을 x축으로 이동시키는 방법을 사용하였다.

(1)  $k_n$  및  $k_p$ 에 의한 x축 이동

영역 CD에서는 PMOS, NMOS 트랜지스터 모두

포화영역에 있으므로 채널에 흐르는 전류들은 방향만 다르고 크기는 같으므로

$$\frac{k_n}{2} (V_{gsn} - V_{tn})^2 = \frac{k_p}{2} (V_{gsp} - V_{tp})^2 \quad (21)$$

만약  $V_{in} = -V_{tp}$ ,  $k_n \neq k_p$ 일 때, 입력전압  $V_{in}$ 에 대해 정리하면

$$(k_n - k_p) V_{in}^2 + 2(K_n + K_p)(V_{dd} - V_{tn})V_{in} + (K_n - K_p)(V_{dd}^2 + V_{tn}^2 - 2V_{dd}V_{tn}) = 0 \quad (22)$$

그러므로  $V_{in}$ 은 다음과 같다.

$$V_{in} = \frac{(k_n + k_p)(V_{tn} - V_{dd}) \pm \sqrt{4k_n k_p (V_{tn} - V_{dd})^2}}{k_n - k_p} \quad (23)$$

식(23)에서 알 수 있듯이 입력전압은 두 개의 근을 갖고 있으나, 시뮬레이션을 통해서 조사해보면 다음과 같은 하나의 근만을 갖고 있음을 알 수 있다.

$$V_{in} = \frac{(V_{tn} - V_{dd})(\sqrt{k_n} + \sqrt{k_p})^2}{k_n - k_p} \quad (24)$$

따라서 두 개의 트랜지스터 모두 포화영역이 되는 입력전압은  $k_n$  및  $k_p$ 의 함수임을 알 수 있으며,  $k_n$  및  $k_p$ 의 값을 조절하여 특성곡선을 x축으로 이동할 수 있다.

(2)  $V_{in}$  및  $V_{tp}$ 에 의한 x축 이동

만약  $k_n = k_p$ ,  $V_{tn} \neq -V_{tp}$  라면, 식(21)은 다음과 같이 정리할 수 있으며

$$(V_{in} + V_{dd} - V_{tn})^2 = (V_{in} - V_{dd} - V_{tp})^2 \quad (25)$$

위 식을  $V_{in}$ 에 대해 정리하면 다음과 같고,

$$(4V_{dd} - 2V_{tn} + 2V_{tp})V_{in} = 2(V_{tn} + V_{tp})V_{dd} + V_{tp}^2 - V_{tn}^2 \quad (26)$$

그러므로 다음의 식에서 알 수 있듯이 두 트랜지스터 모두 포화영역이 되는 입력전압 역시  $V_{tn}$  와  $V_{tp}$ 의 함수임을 알 수 있다.

$$V_{in} = \frac{(V_{tn} + V_{tp})(2V_{dd} + V_{tp} - V_{tn})}{4V_{dd} - 2V_{tn} + 2V_{tp}} \quad (27)$$

### 3.3 특성곡선의 y축으로 이동

응용회로에 따라 단극성, 양극성, 또는 양극성 이상의 다극성인 뉴런 특성곡선을 요구하는 경우가 많이 발생한다. CMOS 인버터를 이용한 뉴런은  $-V_{dd}$ 에서  $V_{dd}$ 로 변하는 양극성 특성곡선이다. 이 논문에서는 단극성 특성곡선을 구할 수 있는 방법을 제안한다. 즉, 이 방법을 이용하면  $V_{dd}$ 에서 0으로 변하는 특성곡선과 0에서  $V_{dd}$ 로 변하는 단극성 특성곡선을 구할 수 있다.

#### (1) $V_{cc}$ 에서 0으로 변하는 특성곡선

$V_{dd}$ 에서 0으로 변하는 특성곡선이라 함은 뉴런의 출력이  $V_{dd}$ 와 0사이의 값이어야 하며, 또한 출력곡선이 좌표(0,  $V_{dd}/2$ )에 접대칭이어야 한다. 출력을  $V_{dd}$ 와 0사이의 값으로 한다는 것은 CMOS 인버터회로 그 자체이므로, CMOS 뉴런회로에서  $V_{ss}$ 에  $-V_{dd}$ 를 인가하는 대신 접지시키면 뉴런의 출력은  $V_{dd}$ 와 0사이의 값이 되는 CMOS 인버터회로가 된다. 그러나, CMOS 인버터회로의 이상적인 출력 특성곡선은 좌표( $V_{dd}/2$ ,  $V_{dd}/2$ )에 접대칭이다. 이 논문에서는 CMOS 인버터의 특성곡선에서 접대칭이 되는 영역은 두 트랜지스터 모두 포화영역에 있음에 착안하여 좌표(0,  $V_{dd}/2$ )에서 대칭이 되는 특성곡선을 만들었다.

두 트랜지스터 모두 포화영역에 있으면 두 채널에 흐르는 전류는 같으므로 다음과 같이 재정리할 수 있다.

$$k_n(V_{in} - V_{in})^2 = k_p(V_{in} - V_{dd} - V_{tp})^2 \quad (29)$$

좌표(0,  $V_{dd}/2$ )에서 접대칭이 되려면, 입력전압 0에서 두 트랜지스터 모두 포화영역이 되려면 식(29)는 다음과 같이 된다.

$$k_n(-V_{in})^2 = k_p(-V_{dd} - V_{tp})^2 \quad (30)$$

식(30)을 간단히 해석하기 위하여  $k_n = k_p$ 인 경우와  $k_n \neq k_p$ 인 경우로 나누어서 고려한다.

#### (i) $k_n = k_p$ 인 경우:

두 트랜지스터의 이득상수가 같은 경우에 식(30)은 다음과 같이 정리된다.

$$V_{in}^2 = (V_{dd} + V_{tp})^2 \quad (31)$$

$$V_{in} = \pm (V_{dd} + V_{tp}) \quad (32)$$

그러나, Fig. 2을 참조하면  $V_{in}$ ,  $V_{tp}$  모두 음의 값이어야 하므로

$$V_{in} = -(V_{dd} + V_{tp}) \quad (33)$$

#### (ii) $k_n \neq k_p$ 인 경우:

두 트랜지스터의 이득상수가 다를 경우 식(30)에서 NMOS의 이득상수에 관해 정리하면 다음과 같이 된다.

$$k_n = k_p \left( \frac{V_{dd} + V_{tp}}{V_{in}} \right)^2 \quad (34)$$

출력 값은 응용회로에 따라 결정되는 것이므로 이 경우는 두 문턱 값( $V_{in}$ ,  $V_{tp}$ )과 PMOS의 이득상수가 결정되면 NMOS의 이득상수를 결정하여 좌표(0,  $V_{dd}/2$ )에 접대칭인 뉴런의 출력곡선을 얻을 수 있다.

#### (2) 0 에서 $-V_{cc}$ 로 변하는 특성곡선

CMOS 인버터에서  $V_{dd}$ 를 접지시키고,  $V_{ss}$ 에  $-V_{dd}$ 를 인가하면 출력은 0에서  $-V_{dd}$ 사이의 값을 갖는다. 위와 같은 방법으로 좌표(0,  $-V_{dd}/2$ )에서 접대칭이 되는 특성곡선을 만들기 위하여, 좌표(0,  $-V_{dd}/2$ )에서 두 트랜지스터 모두 포화영역이 되도록 변수들을 조절해야 한다. 입력전압이 0에서 두 트랜지스터 모두 포화영역에 있어야 하므로 식(29)에 의해 다음과 같이 재정리할 수 있다.

$$k_n(-V_{in} + V_{dd})^2 = k_p(-V_{tp})^2 \quad (35)$$

여기에서도 마찬가지로 문제를 간단히 해석하기 위하여 이득상수가 같을 경우와 다른 경우로 나누어서 고려하였다.

#### (i) $k_n = k_p$ 인 경우:

두 트랜지스터의 이득상수가 같을 경우 식(35)는 다음과 같고,

$$(-V_{in} + V_{dd})^2 = (-V_{tp})^2 \quad (36)$$

PMOS 트랜지스터의 문턱전압에 풀면 다음과 같다.

$$V_{tp} = \pm(-V_{tn} + V_{dd}) \quad (37)$$

그러나, Fig. 2를 참조하면  $V_{tn}$ ,  $V_{tp}$  모두 양의 값이어야 하므로

$$V_{tp} = V_{dd} - V_{tn} \quad (38)$$

(ii)  $k_n \neq k_p$ 인 경우:

두 트랜지스터의 이득상수가 다를 경우에 식(35)는 PMOS 트랜지스터의 이득상수에 관계 정리하면 다음과 같고,

$$k_p = k_n \left( \frac{V_{dd} - V_{tn}}{V_{tp}} \right)^2 \quad (39)$$

역시, 두 트랜지스터의 문턱전압과 NMOS 트랜지스터의 이득상수가 결정되면 PMOS의 이득상수를 조절하여 좌표(0,  $-V_{dd}/2$ )에 접대칭인 특성곡선을 얻을 수 있다.

#### IV. 시뮬레이션 및 결과

뉴런의 출력특성곡선에 대한 시뮬레이션은 OrCAD사의 PSpice(버전 9)를 사용하였으며, 시뮬레이션의 결과들은 앞 장에서 예측한 것과 거의 같다고 할 수 있었다. 즉, 다양한 기울기를 갖는 뉴런의 출력특성곡선은 두 트랜지스터의 문턱전압을 변경하여 얻을 수 있었고, x축과 y축으로의 이동은 두 트랜지스터의 문턱전압과 이득상수를 조절하여 가능하였다.

입력전압 0에서 앞장의 양극성 뉴런특성곡선은  $-V_{tp}$ 에서  $V_{tn}$ 로 변하는 출력이었으나, PSpice 시뮬레이션에서는 출력이 0임을 알 수 있다. 이처럼 이론과 PSpice 시뮬레이션 결과는 약간의 차이를 보이고 있는데, 이는 channel length modulation effect  $\lambda=0$ 으로 가정하였으나 실제로는  $\lambda \neq 0$ 이기 때문이다.

##### 4.1 특성곡선의 기울기

Fig. 3은 CMOS 뉴런회로의 PSpice Schematic 회로를 보여주고 있으며,  $V_2=5V$ , 그리고  $V_3=-5V$ 를 인

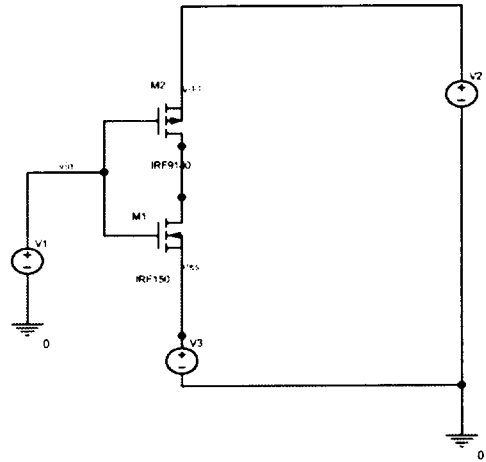


Fig. 3. PSpice Schematic Diagram of CMOS neuron.

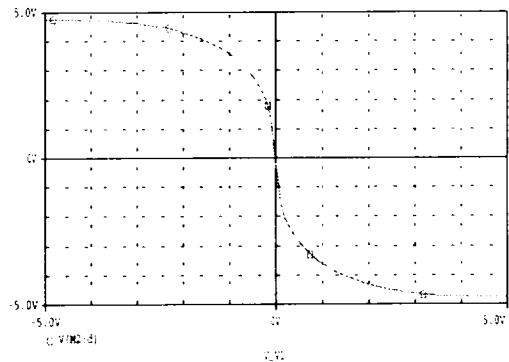


Fig. 4. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = k_p = 10.53u$ ,  $V_{tn} = -V_{tp} = 1V$ ).

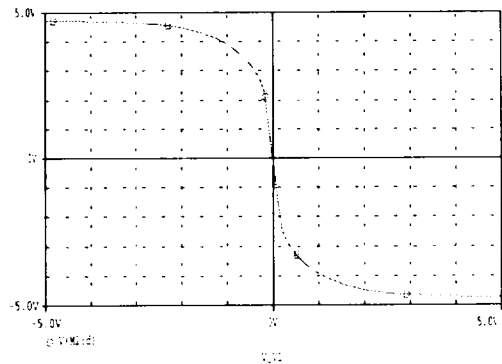


Fig. 5. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = k_p = 10.53u$ ,  $V_{tn} = -V_{tp} = 2V$ ).

가 하고,  $V_1$ 은 -5V에서 5V까지 DC sweep를 수행하였다. Fig. 4, 5 및 6들은  $k_n = k_p = 10.53\mu$  일 때, 문턱전압( $v_m = -v_{tp}$ )이 1V, 2V, 3V일 때 PSpice 시뮬레이션 결과를 보여주고 있다. 이 그림들에서 알 수 있듯이 문턱전압이 증가함에 따라 전압특성곡선의 기울기는 증가함을 보여주고 있다.

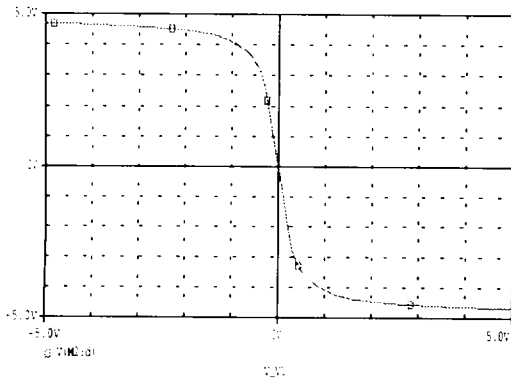


Fig. 6. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = k_p = 10.53\mu$ ,  $V_{in} = -V_{tp} = 3V$ ).

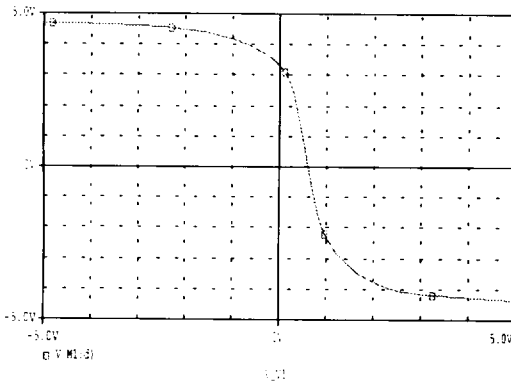


Fig. 7. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = 4\mu$ ,  $k_p = 9\mu$ ,  $V_{in} = -V_{tp} = 2V$ ).

#### 4.2 특성곡선의 x축으로 이동

III장에서 제시하였듯이 x축으로 이동된 특성곡선은 이득상수( $k_p, k_n$ )와 문턱전압( $V_{in}, V_{tp}$ )를 변경하여 얻을 수 있음을 알고 있다. 함수를 간략하게 전개하

기 위하여  $k_p = k_n$ 인 경우와  $V_{in} = -V_{tp}$  경우로 나누어서 다루었는데, 우선 문턱전압이  $V_{in} = -V_{tp}$  인 경우부터 생각해보자.

#### 1) $V_{in} = -V_{tp}$ 인 경우 이득상수( $k_p, k_n$ )에 의한 방법

Fig. 7은 특성곡선이 약 0.6V 정도 x축으로 이동된 특성곡선을 보여주고 있다. NMOS와 PMOS의 이득상수  $k_n, k_p$ 는 각각  $4\mu, 9\mu$ 이며, 문턱전압은  $V_{in} = -V_{tp} = 2V$ 를 선택하고 식(24)에 대입하면, 두 트랜지스터 모두 포화영역이 되는 입력전압은 0.6임을 알 수 있다. Fig. 8은  $k_n = 9\mu, k_p = 4\mu, V_{in} = -V_{tp} = 2V$ 를 선택하고 입력전압을 -5V에서 5V까지 DC sweep를 수행한 것을 보여주고 있다. 식(24)에 대입하면 -0.6에서 두 트랜지스터 모두 포화영역이 됨을 알 수 있는데, 시뮬레이션에서도 이와 비슷한 곳에서 특성곡선이 x축을 지나고 있음을 보여주고 있다.

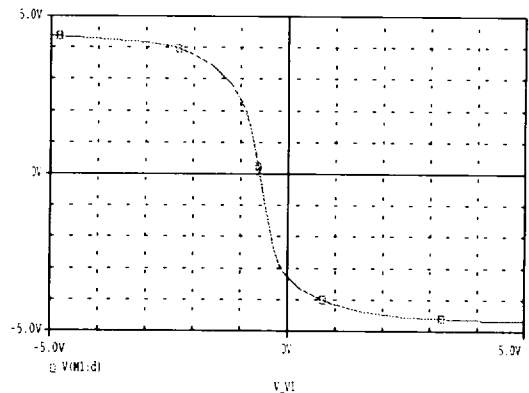


Fig. 8. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = 9\mu, k_p = 4\mu, V_{in} = -V_{tp} = 2V$ ).

2)  $k_p = k_n$ 인 경우 문턱전압( $V_{in}, V_{tp}$ )에 의한 방법  
식(27)의 분모 값과 분자의 두 번째 괄호의 값은 항상 양임을 알 수 있다. PMOS와 NMOS의 두 문턱전압은 어떤 형태로 결합하여도 인가전압의 두 배를 넘을 수 없으므로 즉, 다음 식에서 알 수 있듯이

$$|V_{tn}| + |V_{tp}| < 2V_{dd} \quad (40)$$

그러므로  $x$ 축의 양방향 또는 음 방향으로의 이동은 분자의 첫째 괄호 안의 값에 좌우됨을 알 수 있다. 즉 괄호 안의 값이 양이면 양방향으로 이동되고, 음수이면 음 방향으로 이동됨을 알 수 있다. Fig. 9는 이득상수  $k_n = k_p = 10.53\mu$ ,  $V_{dd} = 5V$ 이고  $V_{tn} = 2V$ ,  $V_{tp} = -1V$ 인 경우의 시뮬레이션을 보여주고 있는데, 식(27)에 의하면  $0.5V$   $x$ 축의 양으로 이동함을 알 수 있는데 일치함을 알 수 있다. Fig. 10은 이득상수와 인가전압은 같고, 문턱전압을  $V_{tn} = 1V$ ,  $V_{tp} = -2V$  변경하여  $x$ 축의 방향으로  $-0.5V$  이동한 것을 보여주고 있다.

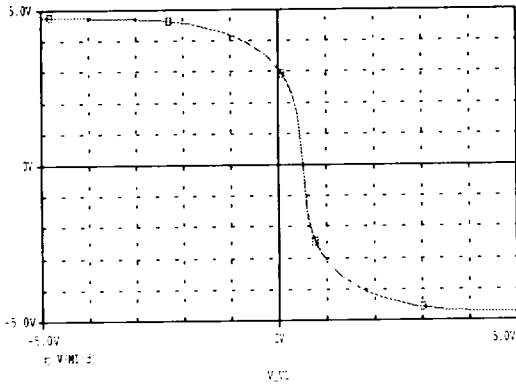


Fig. 9. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = k_p = 10.53\mu$ ,  $V_{tn} = 2V$ ,  $V_{tp} = -1V$ ,  $V_{dd} = 5V$ ).

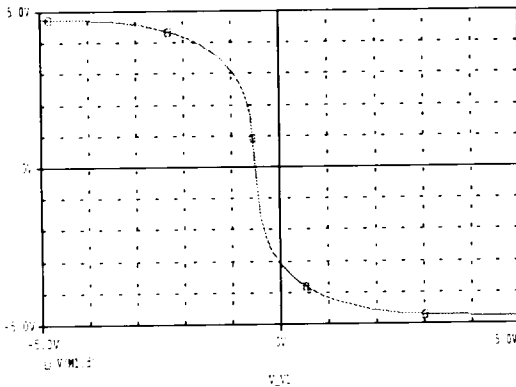


Fig. 10. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = k_p = 10.53\mu$ ,  $V_{tn} = 1V$ ,  $V_{tp} = -2V$ ,  $V_{dd} = 5V$ ).

### 4.3 특성곡선의 $y$ 축으로 이동

#### 1) $V_{dd}$ 에서 0으로 변하는 특성곡선

$V_{dd}$ 에서 0으로 변하는 특성곡선을 만드는 방법에는 NMOS, PMOS의 이득상수가 같은 경우와 다른 경우 두 가지 방법을 제안하였는데, 이득상수가 같은 경우 식(33)에 의하여 만약  $V_{tp}$ 가  $-3V$ 이면  $V_{tn}$ 은  $-2V$ 가 되는데, Fig. 11은 이 경우의 시뮬레이션을 보여 주고 있다.

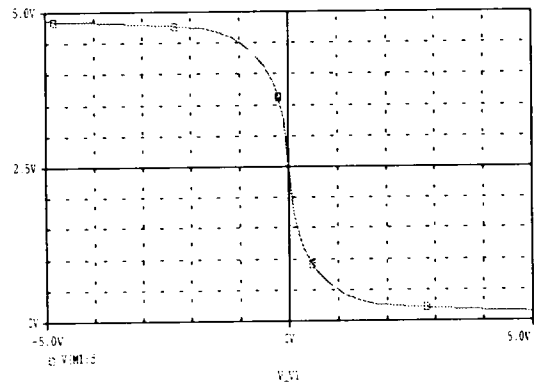


Fig. 11. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = k_p = 10.53\mu$ ,  $V_{tn} = -2V$ ,  $V_{tp} = -3V$ ,  $V_{dd} = 5V$ ,  $V_{ss} = 0V$ ).

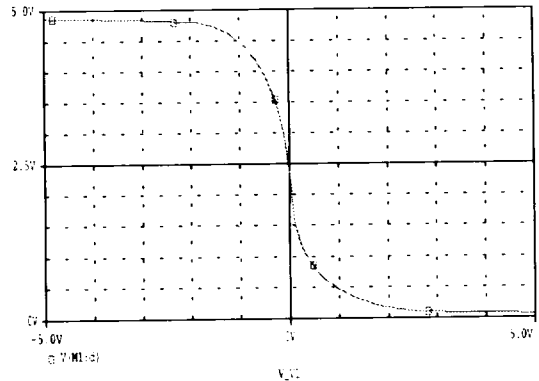


Fig. 12. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = 26.69\mu$ ,  $k_p = 10.53\mu$ ,  $V_{tn} = -2V$ ,  $V_{tp} = -2V$ ,  $V_{dd} = 5V$ ,  $V_{ss} = 0V$ ).

#### 2) 0에서 $-V_{dd}$ 로 변하는 특성곡선

$V_{dd}$ 를  $0V$ 를 그리고,  $V_{ss}$ 에  $-V_{dd}$ 를 인가하여 뉴런의



특성곡선을 0에서  $-V_{dd}$ 로 변하는 특성곡선을 얻는 데 역시, PMOS, NMOS의 이득상수가 같은 경우와 다른 경우 두 가지 방법을 제안하였는데, 임의로 NMOS의 문턱전압 2V로 하면 식(37)에 의하여  $V_{dd}$ 가 5V이면 PMOS의 문턱전압은 3V가 된다. Fig. 12는 이 경우의 시뮬레이션 결과를 보여주고 있다.

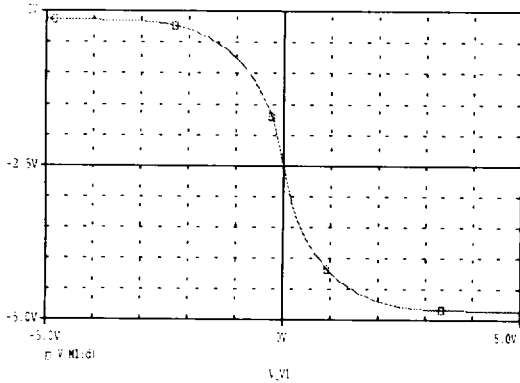


Fig. 13. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = k_p = 10.53u$ ,  $V_{in} = 2V$ ,  $V_{ip} = 3V$ ,  $V_{dd} = 0V$ ,  $V_{ss} = -5V$ ).

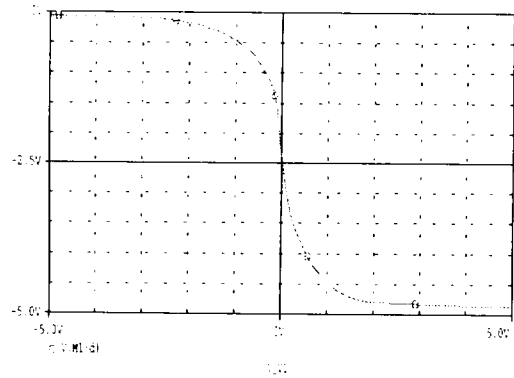


Fig. 14. Voltage transfer characteristics of CMOS neuron in case of ( $k_n = 10.53u$ ,  $k_p = 23.69u$ ,  $V_{in} = 2V$ ,  $V_{ip} = 2V$ ,  $V_{dd} = 0V$ ,  $V_{ss} = -5V$ ).

다음은 PMOS 및 NMOS의 이득상수가 다를 경우인 데, 임의로 NMOS와 PMOS의 문턱전압을 2V로 하면 식(38)에 의하여 PMOS의 이득상수는 NMOS 이득상수의 2.25배가 되며, Fig. 13은 이 경우에도 뉴

런의 특성곡선은 0에서  $-V_{dd}$ 로 변하면서 원점을 지나고 있음을 보여주고 있다.

## V. 결론

뉴런의 구현을 위해서는 연산증폭기, 차동증폭기, 그리고 CMOS 인버터 회로가 사용된다. CMOS 인버터를 이용한 뉴런은 시그모이드 형태의 출력특성곡선을 갖고 있어 많은 응용회로에 사용된다. 뉴런의 특성곡선은 응용회로에 따라 다양한 것들을 필요로 하는데, 즉 단극성, 양극성, 또는 때에 따라 다극성의 특성곡선이 사용되기도 한다. 그리고 뉴런 특성곡선의 기울기는 신경망의 수렴속도 및 안정도에 관련이 있다고 알려져 있다. 그러므로 다양한 뉴런의 특성곡선을 얻는 것은 중요하다고 할 수 있다<sup>7),8)</sup>.

본 논문에서는 CMOS 인버터를 이용한 뉴런의 특성곡선에서 기울기가 트랜지스터 문턱 값의 함수임을 알아내고, 또한 특성곡선의 중심이 두 트랜지스터 모두 포화영역에 있을 때 생긴다는 것에 착안하여 특성곡선을 x축과 y축으로 이동하는 방법을 제안하였다. 컴퓨터 시뮬레이션은 OrCAD사의 PSpice 9.0 버전을 이용하였으며, 시뮬레이션 결과들은 제안된 방법으로 특성곡선의 기울기를 변경할 수 있으며, 또한 x축, y축으로 이동할 수 있음을 보여 주었다.

그러나 특성곡선의 기울기를 변경하고, x축, y축 이동에 관한 수식을 유도하는 과정에서 2차 방정식이 종종 발생했으며, 그에 대한 해로서 두 개의 식이 생겼다. 하지만, 컴퓨터 시뮬레이션을 통해 알 수 있었던 듯이 정확한 해는 그 중 하나였지만 그 이유를 이 논문에서는 밝히지 못하고 차후의 연구과제로 넘기게 되어서 아쉬움으로 남는다.

## 참고문헌

- 1) Hopfield, J. J., and D. W. Tank., "Computing with Neural Circuits: A Model." Science Vol. 233, 625-633, 1986
- 2) Amit K Gupta, and Navakanta Bhat. "Hardware

- Realization of a Digitally Controllable Neuron Activation Function and its Derivative for Extremely Low Power Application." IEICE TRANS. FUNDAMENTALS. VOL. E82-A JULY 1999
- 3) Motoi INABA, Koichi TANNO. "Analog Inverter with Neuron -MOS Transistors and Its Application." IEICE ETRANS. FUNDAMENTAL S. VOL. E85-A FEBRUARY 2002
  - 4) Bernard C. Levy. "Analog CMOS Implementation of Approximate Identity Neural Networks." IEICE TRANS. FUNDAMENTALS. Vol. E80 A FEBRUARY 1997
  - 5) Anthony N. Michel, Jay A. Farrel and Wolfgang Porod. 1989. "Qualitative Analysis of Neural Networks." IEEE Trans. Circuits Syst.. Vol.36. pp.229-243. February 1989.
  - 6) Mengkang Peng, Narebdra K. Gupta and Alistair F. Armitage. "An investigation into the Improvement of Local Minima of the Hopfield Network." Neural Networks. Vol.9. pp.1241-1253. 1996.
  - 7) Anthony N. Michel, Jay A. Farrel and Wolfgang Porod. 1989. "Qualitative Analysis of Neural Networks." IEEE Trans. Circuits Syst.. Vol.36. pp.229-243. February 1989.
  - 8) Takeshi Kamio, Hiroshi Ninomiya and Hideki Asai. "A Neural Net Approach to Discrete Walsh Transformation." IEICE Trans. Fundamentals. Vol. E77-A. No.99