

# IMT-2000 중계기용 전력증폭기 설계

허 광 삼\* · 문 성 익\* · 김 흥 수\*\* · 양 두 영\*\*

## Design for Power Amplifier of IMT-2000

Kwang-Sam Heo\*, Seong-Ig Moon\*, Heung-Soo Kim\*\* and Doo-Yeong Yang\*\*

### ABSTRACT

This paper deals with designing the mobile station power amplifier of IMT-2000 using analog predistortion method. The power amplifier made up of 3-stage class-AB amplifiers in cascade. By choosing the final stage as the balanced structure, the output linearity is enhanced. The balanced structure of amplifier is composed of the Wilkinson power divider and combiner. Therefore, to compensate for the linearity of the power amplifier, pre-distorter circuit is inserted in front of 3-stage amplifier. The pre-distorter is implemented using parallel Schottky diode. The optimized linear power amplifier is composed of these pre-distorter and 3-stage power amplifier.

**Key words** : Linear power amplifier, pre-distorter, IMT-2000

### 1. 서 론

이동통신서비스의 발전에 따라 무선신호를 이용하여 음성, 고속데이터 및 동화상 정보를 멀티미디어 서비스로 제공하기 위한 서비스 개발이 이루어지고 있으며, 그 표준화는 국제통신연합(ITU)의 3GPP(3rd Generation Partner-ship Project), 3GPP2에서 이루어지고 있다.<sup>1)</sup> 한편, IMT-2000중계기의 전력증폭기는 낮은 RF 신호를 증폭하여 높은 출력전력을 안테나로 공급하는 장치이다. 이 때, 증폭된 출력전력은 신호의

왜곡 혹은 간섭을 줄이기 위하여 선형적이어야 한다. 선형적인 출력전력을 얻기 위한 전력증폭기의 선형화 방식으로는 데이터 전치왜곡(predistortion)에 의한 방식, 피드포워드(feedforward) 방식, 아날로그 전치왜곡 방식 등이 있다. 데이터 전치왜곡 방식은 베이스 밴드 신호의 진폭 및 위상을 IF(Intermediate Frequency) 또는 RF(Radio Frequency) 변조 이전에 모뎀 내에서 디지털 신호 처리 방식을 이용하여 증폭기의 복소 이득 전달 함수의 역함수로 사전 왜곡하는 방식이다. 이 방식은 디지털 기술을 사용하므로 적응 신호 처리 방식에 있어서는 타 방식에 비해 상대적으로 용이하다. 그러나 오차 신호를 검출하기 위한 복조과정이 필요하고 최종 출력 단에서 다수 캐리어의 변화에 대한 보상이 어렵다.<sup>2,3)</sup> 피드포워드 방식은 비선형 전력 증폭기의 출력으로부터 비선형 신호만을 검출하여 출

\* 제주대학교 대학원

Graduate School, Cheju Nat'l Univ.

\*\* 제주대학교 통신컴퓨터공학부, 산업기술연구소

Faculty of Telecommunication & Computer Eng., Res. Insti. Ind. Tech., Cheju Nat'l Univ.

력 신호에서 이를 상쇄하는 방식이다. 피드포워드 방식의 선형화 회로는 다른 선형화 방식에 비해 선형화 정도가 매우 크다는 장점을 가지고 있으나 주신호에 비해 매우 작은 오차 신호를 처리해야 하고 그 구조가 개방 루프 형태이므로 각 소자의 특성 및 시간적 변화에 의한 시스템 특성의 변화가 민감하다는 단점을 가지고 있다.<sup>4,5)</sup> 아날로그 전치왜곡에 의한 선형화 방식은 IF단 또는 RF단에서 비선형 증폭기의 입력신호를 사전 왜곡시킴으로써 선형화 특성을 구현하는 방식이다.<sup>6)</sup> 이 방법은 소자 특성의 한계로 인해 선형성에 한계가 있으나, 회로가 비교적 단순하고 주 증폭기 이외의 부가 증폭기가 필요하지 않아 피드포워드 방식에 비해 전력효율이 높은 장점이 있다. 따라서 본 논문에서는 아날로그 전치왜곡방식을 이용하여 IMT-2000주파수 대역에 쓰이는 전력증폭기를 설계한다.

## II. 전력증폭기 회로 구성 및 특성 설계

본 장에서는 IMT-2000 증계기용 전력증폭기 설계

Table 1. Specifications of the power amplifier for IMT-2000 mobile station

Item	Spec.	Unit
Freq.	1.92 ~ 1.98	GHz
Output Power	32(1.6)	dBm(W)
Input · Output VSWR	1.5	

규격에 맞춰 전치 왜곡방식을 이용한 선형 전력증폭기를 설계한다. 전력증폭기의 설계 규격은 Table 1과 같다.

본 논문에서는 Table 1에서 만족하는 전력증폭기를 구현하기 위해 아날로그 전치왜곡 방식을 이용하여 선형 전력증폭기를 설계한다. 설계하고자 하는 선형 전력증폭기의 구성도를 Fig. 1에 나타내었다.

일반적으로 증폭기 설계 시 가장 먼저 고려해야 할 부분은 적절한 트랜지스터의 선택이다. 특히, 최종단인 고출력 증폭단은 트랜지스터의 동적 영역과 선형성을 고려하여  $P_{1dB}$ 와  $IP_3$ 가 충분히 높은 소자를 선택하여야 하며, 구동증폭단 또한 원하는 전력이득, 출력전력 등을 고려하여 이에 부합되는 트랜지스터를 선택해야 한다. Table 1의 특성을 만족시키기 위하여 최종단인 고출력 증폭단에 stanford사의 shf-0589를 이용하고, 첫 번째 구동증폭단에는 nec사의 ne34018을, 두 번째 증폭단에는 WJ(Watkins & Johnson)사의 ah-1을 사용한다.

### 2.1. 증폭단 시뮬레이션

본 논문에서는 증폭기를 설계하는데 있어 하모닉 밸런스 해석(harmonic-balance analysis)틀인 serenade를 사용하였다. 하모닉 밸런스 해석법이란 비선형 해석회로를 해석하는 방법 중의 한가지로, 비선형 회로의 고조파 성분까지 해석하는 방법이다. 즉, 두 개의 서로 다른 주파수가 입력될 때 그 두 주파수의 기본파를 비롯해 각 고조파들 간의 상호 관계까지 해석한

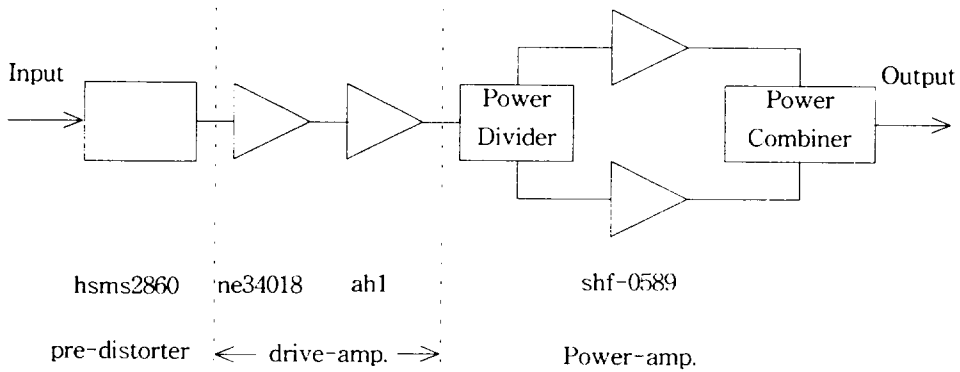


Fig. 1. Block diagram of the linear power amplifier.

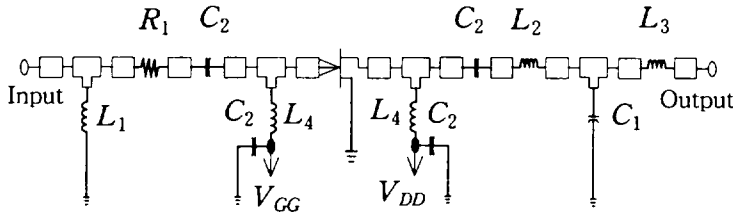


Fig. 2. The circuit of the first stage of drive-amplifier using MESFET ne34018.

다. 따라서 소신호 해석에 의한 회로의 정합 과정을 거친 후, 하모닉 밸런스 해석을 통해 회로의 동작 특성을 살펴보았다.

구동증폭기의 초단부는 nec사의 ne34018을 이용하였으며, 저항과 인덕터를 통하여 입력측 정합을, 인덕터와 커패시터를 이용하여 출력측 정합을 이루었다. Fig. 2에 구동증폭기 초단부의 회로도를 나타내었다.

구동증폭기 초단부 설계 결과 IMT-2000 지상용 중계기 송신 주파수 대역인 1920~1980MHz 대역에서  $16 \pm 0.2$ dB의 평탄한 이득을 얻을 수 있었다. 입·출력 정재파비는 모두 1.2이하로 양호한 특성을 얻었다.

Fig. 3은 구동증폭기 종단부의 회로도이다. 구동소자는 좀 더 높은 출력전력에서도 견딜 수 있도록 큰  $P_{1dB}$ 점을 갖는 WJ사의 MMIC소자인 ah-1을 사용하였다. 저항과 커패시터만을 이용하여 입·출력 정합을 이루었으며, 출력측의 커패시터( $C_3$ )는 다음 단로의 직류 차단 역할도 하고 있다.

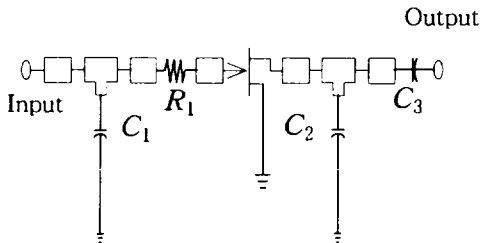
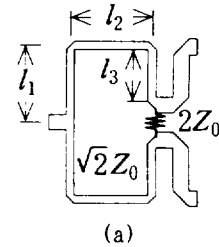


Fig. 3. The circuit of the final stage of drive-amplifier using MMIC AH1.

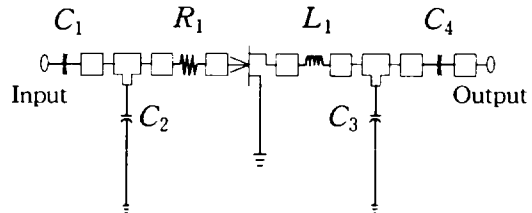
구동증폭기 종단부는 12.35dB의 이득을 얻었으며, 입·출력 정재파비는 1.15이하로 설계하였다.

Fig. 4에 평형구조를 이루기 위한 윌킨슨 전력분배기의 형태와 전력증폭단의 회로도를 나타내었다. 전

력증폭단은 규정된 출력 전력인 1.6W(32dBm)에서도 선형적인 출력을 얻을 수 있도록, 34dBm의  $P_{1dB}$ 점과 45dBm의 높은  $IP_3$ 점을 갖는 Stanford사의 shf-0589로 구성하였다. 또한 윌킨슨 전력분배기와 결합기를 이용하여 평형구조를 취함으로써 출력의 선형성을 높였다.



(a)



(b)

Fig. 4. (a) The wilkinson power divider. (b) The circuit of power amplifier using MESFET shf-0589.

Fig. 4(a)의 윌킨슨 전력 분배기는 입·출력간 -3.05dB의 전달특성과 모든 입·출력 단자간 -30dB 이하의 반사특성, 그리고 각 출력단자간 -40dB이하의 높은 분리도를 갖도록 설계하였다. Fig. 4(b)의 전력증폭단은 제작사에서 제공한 산란 파라미터를 이용하여 설계하였으며, 이 때 Shf-0589의 바이어스 점은

$V_{ds} = 8V$ ,  $I_{dq} = 500mA$ 이다.

전력증폭단을 평형구조로 설계한 결과  $13.4 \pm 0.15dB$ 의 이득과 1.15이하의 입·출력 정재파비를 얻을 수 있었다.

본 논문에서는 설계된 증폭단들을 결합하여 증폭기를 3단으로 구성하였다. 각 단의 결합 시 입·출력포트는 이미  $50\Omega$ 로 종단되었기 때문에 중간단-정합회로를 따로 구성할 필요가 없다. 이와 같은 설계 방식은 각 트랜지스터간에 직접 중간단-정합회로를 설계하는 경우보다 부피가 커지는 단점이 있으나 제작 및 회로 고장시에 각 단의 특성을 확인하는데 용이한 장점이 있다.

설계된 전력증폭기의 이득 특성을 Fig. 5에 보여주고 있다. 입력 전력이  $-8dBm$  이하일 때  $41.8 \pm 0.3dB$ 의 선형적인 이득을 가지고 있음을 볼 수 있으며, 입력이  $-8dBm$  이상일 때는 입력전력이 커짐에 따라 점차 이득이 감소함을 볼 수 있다.

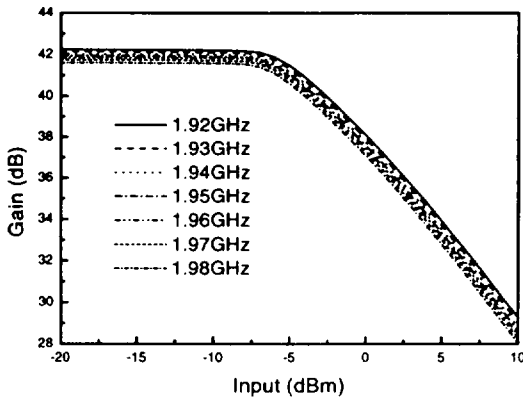


Fig. 5. Gain of 3-stage amplifiers.

## 2.2. 전치왜곡기 시뮬레이션

설계된 3단 증폭기의 이득특성과 서로 상쇄되어 좀 더 넓은 범위에서 선형적인 출력을 얻을 수 있도록 전치왜곡기를 설계한다.

본 논문에서는 병렬 Schottky-다이오드를 이용한 전치왜곡기를 설계하였으며 그 회로도도 Fig. 6과 같다. Schottky-다이오드는 hp사의 hsms-2860을 이용하였다.

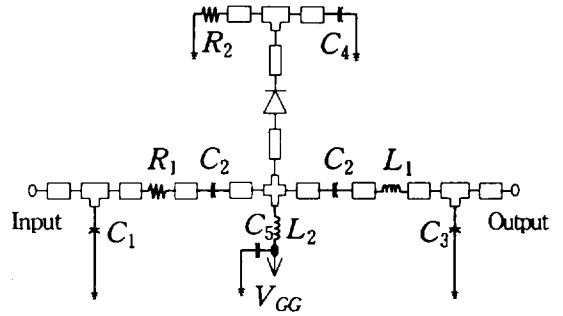


Fig. 6. The circuit of the pre-distorter using parallel diode.

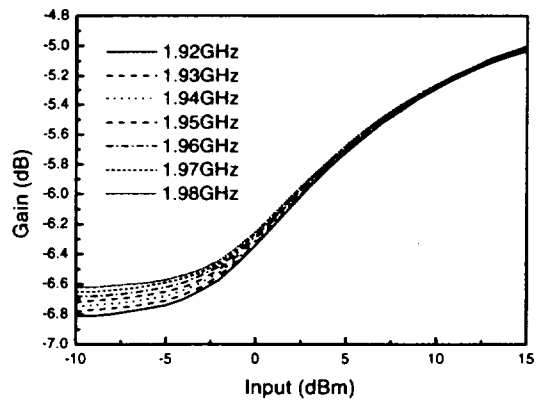


Fig. 7. Gain of the pre-distorter.

Fig. 7에 설계한 전치왜곡회로의 이득 특성을 나타내었다. 전치 왜곡 회로의 이득 특성을 살펴보면 입력전력이  $-3dBm$  이하일 때 중심주파수인  $1.95GHz$ 에서  $-6.57dB$ 의 이득을 보이고 있으며, 입력이  $-3dBm$  이상일 때는 입력전력이 커짐에 따라 이득 또한 커짐을 볼 수 있다.

## 2.3. 전력증폭기 설계

본 논문에서는 3단으로 구성된 증폭기와 전치 왜곡 회로를 결합하여 전력증폭기를 설계하였다. 설계한 전력증폭기의 레이아웃한 결과를 Fig. 8에 나타내고, 그 이득 특성을 Fig. 9에 나타내었다.

Fig. 9에서 살펴보면 입력이  $0dBm$ 이하일 때, 선형적인 이득 특성을 보이고 있으며, 입력전력이  $0dBm$  이상일 때는 입력이 커짐에 따라 이득이 감소한다.

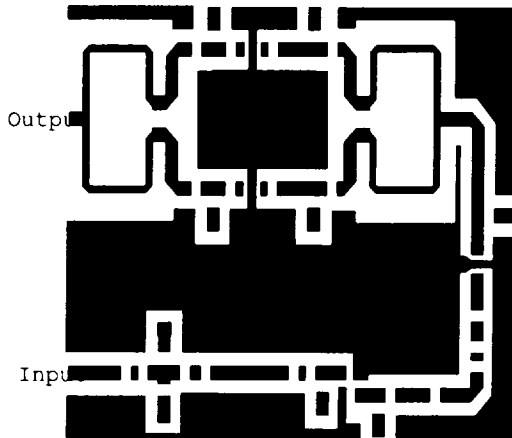


Fig. 8. Layout of the designed power amplifier (66.5mm × 56mm).

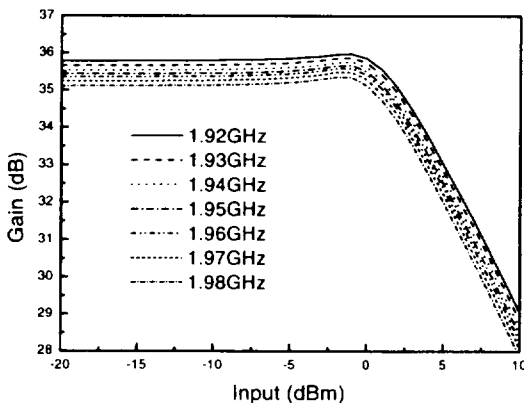


Fig. 9. Gain of the linear power amplifier.

선형적인 최대 출력은 입력 전력이 0dBm일 때 35dBm ± 0.3dB로 나타났다. 이 때 전력부가효율(PAE : Power added efficiency)은 다음과 같이 계산된다.

$$PAE = \frac{P_{out} - P_{in}}{P_{dc}} = \frac{P_{out}}{P_{dc}} \left(1 - \frac{1}{G}\right) \approx 39.6\%$$

Fig. 10은 주파수에 따른 입·출력 정재파비 특성을 나타내고 있다. Fig. 10에서 보여진 것처럼 입력 정재파비는 1.25이하, 출력 정재파비는 1.14이하로 모두 양호하게 나타났다.

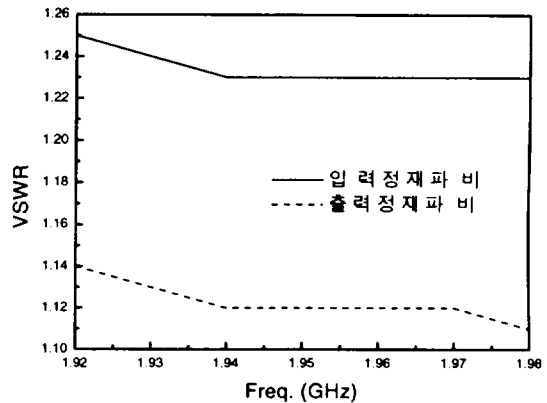


Fig. 10. VSWR of the linear power amplifier.

### III. 결론

무선멀티미디어통신서비스 시스템인 IMT-2000용 증계기에 사용할 수 있는 아날로그 전치왜곡 방식을 이용한 전력증폭기를 설계하였다. 우선 MESFET와 MMIC소자를 이용하여 3단의 증폭단을 구성하였으며, 설계된 증폭단의 특성을 개선시키기 위하여 Schottky 병렬 다이오드를 이용한 전치왜곡 회로를 구성하였다. 설계된 전치왜곡기와 증폭단을 합성하여 전력증폭기를 설계하였다. 그 결과 IMT-2000 지상용 주파수 대역인 1.92~1.98GHz에서 설계 규격보다 높은 선형적인 출력전력을 얻을 수 있었다. 이 때 전력부가효율은 39.6%로 나타났다. 입·출력 정재파비는 각각 1.25이하, 1.14이하로 나타났다.

### 참고 문헌

- 1) 이우용외 1명, 1999. 차세대 이동통신(IMT-2000)의 핵심기술과 표준화 동향(I, II), 한국전자통신연구원 주간기술동향.
- 2) G. Karam and H. Sari, 1990. Data Predistortion Techniques Using Intersymbol Interpolation, IEEE Trans. on Comm. Vol.38, pp.1716-1723.
- 3) 김남수의 3인, 1994. 적용 디지털 전치왜곡기를 이용한 선형화된 전력증폭기의 구현, 전자공학회지.

- pp.1625-1630.
- 4) J. K. Cavers, 1995. Adaptation Behavior of a Feedforward Amplifiers Linearizer. IEEE Trans. on Vehicular Tech., Vol.44. pp.31-40.
- 5) 백동현, 1998. 피드포워드 방식을 이용한 고주파 전력증폭기의 선형화 연구. 과학기술원 석사학위논문.
- 6) 윤장형, 1998. PCS용 선형 전력 증폭기의 설계 및 제작. 과학기술원 석사학위논문.