

고장검출이 용이한 PLA의 설계 및 고장검출알고리즘*

임 제 윤**

Testable PLA Design and Fault Detection Algorithms*

Jea-yun Lim**

ABSTRACT

Efficient multioutput function minimization algorithm is proposed. In order to test PLA efficiently, testable PLA design methods are proposed. A shift register and control line are used for extra hardware. Fault detection methods for NMOS PLA and Dynamic CMOS PLA are proposed to decrease the amount of test sets. Test sets are simply generated from personality matrix after minimization process.

Key words : NMOS PLA, dynamic CMOS PLA, testable design, shift register, fault detection, test sets.

1. 서 론

VLSI 설계에 널리 사용되고 있는 배열논리들 중에서 PLA(Programmable Logic Array)는 구조가 간단하고 규칙적 이므로 논리함수의 즉각적인 실현이 가능하고, 다양한 기술로 실현될 수 있어 최근 ASIC 설계용으로 널리 사용되고 있다^{1,2)}.

PLA의 구성방식은 바이폴라 및 NMOS를 주로 사용하여 구성하며, 최근에는 CMOS 기술이 채용되어 기존의 CMOS 방식보다 칩면적이 작고 동작속도가 빠른 다이내믹 CMOS가 논리회로의 설계에 널리 사용되고 있다^{3,4)}. 또한, PLA의 규모가 커지고 집적도가 높아짐에 따라 효율적인 다출력 최소화 기법과, 구현된 회로에 대한 신뢰도가 큰 문제로 대두되고 있

으며, 이에따라 PLA의 고장검출에 대한 연구가 활발히 진행되고 있다^{3,5)}.

또한 이를 효율적으로 검사하기 위해 기존에 연구된 고장검출이 가능한 회로 설계방식으로는 Ostapko 및 Eichelberger 등이 발표한 부가회로를 사용하지 않고 PLA의 규칙성을 이용한 테스트 생성이 함수 종속적인 설계방식¹⁾과 Fujiwara, Saluja 및 Khakbaz 등이 발표한 부가회로를 사용하여 테스트 생성이 함수 독립적¹⁾인 두가지 방법이 사용되고 있다. 함수종속적인 방법은 대상이 되는 PLA의 함수에 따라 테스트를 생성함으로써 부가회로가 필요 없으나 테스트 생성을 위한 알고리즘이 복잡하고, 고장 검출율이 그다지 높지 못하다는 단점이 있으며, 함수 독립적인 방법은 테스트 생성을 위한 노력이 적게 들고 고장 검출율이 높은 반면, 부가회로가 복잡하고 이 부가회로의 사용으로 인한 정상동작시 시간 지연이 생기는 문제점이 있다.

제안된 알고리즘은 단일 출력회로의 모든 조합에

* 본 논문은 1997년도 제주대학교 국외파견연구 지원계획에 의하여 연구되었음

** 제주대학교 통신·컴퓨터공학부

Dept. of Telecommunication & Computer Eng., Cheju Nat'l Univ.

대해 최소화를 수행하는 대신 선택된 기준 최소항이 공통으로 포함되는 함수의 조합에 대해서만 최소화를 수행함으로써 총 적항의 수 및 계산시간의 향상을 도모한다. 본 논문에서는 함수 종속, 독립적인 방법사이의 장단점을 고려하여 부가회로가 적고 다중 고장에 대해 높은 검출율을 갖는 테스트가 용이한 기본 NMOS PLA. 다이내믹 CMOS PLA 에 대한 테스트 패턴 생성 및 고장검출 기법 등을 제안한다

II. PLA의 고장모델 및 결함

일반적으로 PLA의 고장 모델은 다음과 같이 구성되며 그 종류는 Fig. 1 에 나타내었다.

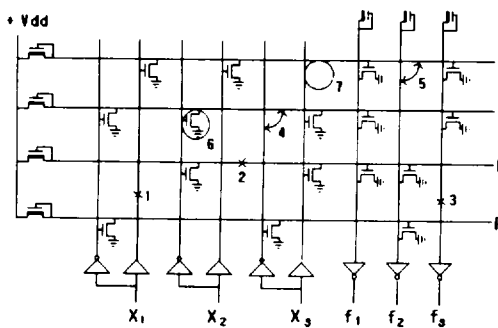


Fig. 1 PLA fault model

1) 선 고착고장 (Line stack-at faults)

입력선, 적항선, 출력선 및 각 트랜지스터 소자등에서의 고장을 나타내며, 단일 또는 다중 고장 모델로 나타낼 수 있고, 기존의 방식에서는 주로 이러한 고장 모델들만을 취급하였으며, Fig. 1 에서의 1, 2, 3 등이 이에 해당된다.

2) 단락고장 (Bridging faults)

이는 주로 입력선과 적항선, 적항선과 출력선 사이의 단락에 의한 고장을 나타내며 Fig. 1에서의 4, 5 등이 이에 해당된다.

3) 접점고장 (Crosspoint faults)

프로그램되지 않는곳에 위치하는 트랜지스터나, 원

래 있어야 할 곳에 없는 트랜지스터 등을 나타내며 Fig. 1 에서의 6, 7 등이 이에 해당된다.

이들중 기존에는 주로 고착 고장 만을 취급하였으나 본 논문에서는 이를 확대 적용하여 단락고장 및 접점고장뿐만 아니라 다중 고장에 대한 일반적인 고장검출 알고리즘을 제안한다.

III. 고장검출이 용이한 NMOS PLA 설계 및 테스트 생성

3.1. 부가회로를 사용한 기본 PLA의 설계

다출력 최소화 과정을 거친 함수를 구현하는 하나의 방식으로서의 PLA는 다양한 기술로 실현될 수 있으며, 그중 하나의 구현방법으로서 NMOS 기술이 PLA 설계에 널리 사용되고 있다. Fig. 2 는 1개의 쉬프트 레지스터열을 부가하여 각 적항선을 개별적으로 선택하고 선택한 적항선을 활성화 시킬 수 있는 입력 벡터를 인가해 줌으로서 활성화된 경로상의 고장이 프로그램 상태의 영향을 받지 않고 출력에 전달되어 테스트가 용이하도록 설계하였다.

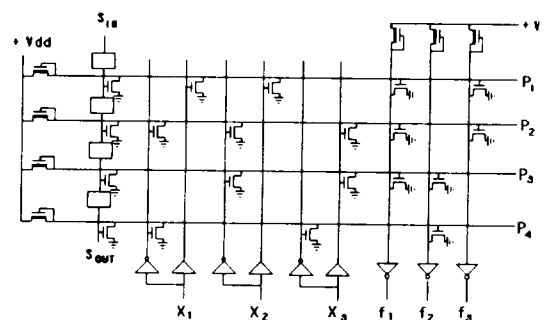


Fig. 2 Testable Basic PLA

3.2. 테스트 생성원리

부가된 쉬프트 레지스터를 이용하여 선택하고자 하는 적항선을 세트한다. 이때 선택한 적항선을 활성화 하기 위해 AND 평면의 프로그램의 상태에 따라 필

요한 입력 벡터를 인가한다. 다음 그림과 같이 선택한 적항선을 통해 고장이 외부적으로 전달되도록 테스트 패턴을 생성한다. 이때 선택된 테스트 패턴은 해당 소자를 정상적으로 동작시키기 위한 값으로서 해당 소자의 고장 검출 여부에 사용된다.

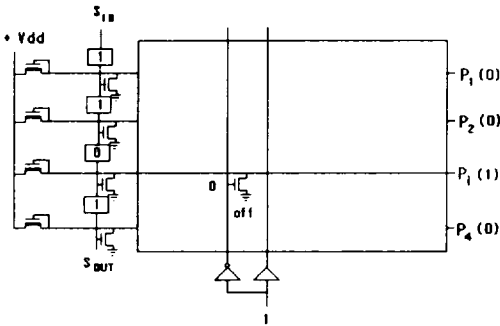


Fig. 3 Basic test generation principle.

3.3. 테스트 생성 알고리즘

[단계 1] 최소화 과정을 거친 특성행렬의 내용을 저장한다.

[단계 2] 쉬프트레지스터를 모두 1로하여 모든 출력값이 0 이 되게 한다.

이때구한 테스트 패턴은 정상동작시 적항선 및 외부 출력을 0으로 하는 패턴이므로 외부 출력을 1로 만드는 고장인 stuck-at 고장을 검출할 수 있다.

[단계 3] 선택한 P_i 에 연결된 소자들을 Off 시키는 입력으로서 C_{in} 가 되고 이때의 정상출력값 C_{out} 를 구한다.

이는 선택한 적항선을 1로 만드는 패턴이므로 stuck-at. 잉여소자 고장 등을 검출할 수 있다.

[단계 4] 단계 3의 테스트 패턴 중 무정의인 C_{in} 의 입력치를 그 보수값으로 바꾼다.

이는 무정의 최소항에 대한 입력을 보수값으로 바꾸어준 패턴이므로 잉여소자 검출에 사용될 수 있다.

[단계 5] 단계 4의 테스트패턴 중 무정의가 아닌 C_{in} 의 입력에 대해 하나씩 그 보수값을 취

해준다.

이는 무정의가 아닌 입력비트선을 1로 만드는 패턴 이므로 stuck-at. 누락고장, 단락고장 등을 검출할 수 있다.

3.4. 입력 데이터 및 테스트 패턴

Table 1 은 Fig. 1에 대한 기본 PLA 입력 데이터를 나타낸 것이고, Table 2 는 모든 적항선 P_i 에 대한 테스트 패턴을 본 알고리즘을 적용하여 구한것이다.

Table 1. Basic PLA Input data for Fig. 1

I	3
P	4
O	3
	1 0 9 0
	1 0 0 9
	9 1 1 0
	1 1 1 0
	0 0 1 1
	1 1 0 0

Table 2. Test Pattern for P_i

S1	S2	S3	S4	X1	X2	X3	f1	f2	f3
1	1	1	1	-	-	-	0	0	0
0	1	1	1	0	0	0	1	0	1
0	1	1	1	0	0	1	1	0	1
0	1	1	1	1	0	1	0	0	0
0	1	1	1	0	1	1	0	0	0
1	0	1	1	1	1	0	1	0	1
1	0	1	1	0	1	0	0	0	0
1	0	1	1	1	0	0	0	0	0
1	0	1	1	1	1	1	0	0	0
1	1	0	1	0	1	0	1	1	0
1	1	0	1	1	1	0	1	1	0
1	1	0	1	1	0	0	0	0	0
1	1	0	1	1	1	1	0	0	0
1	1	1	0	1	0	1	0	1	0
1	1	1	0	1	1	1	0	1	0
1	1	1	0	0	1	1	0	0	0
1	1	1	0	1	1	0	0	0	0

IV. 고장검출이 용이한 다이내믹 CMOS PLA의 설계 및 테스트

4.1 다이내믹 CMOS PLA의 동작원리

다이내믹 CMOS PLA의 일반적인 구성은 Fig. 4와 같으며 이는 PLA의 규칙적인 구조와 Domino CMOS 회로의 장점을 동시에 가지며, AND-OR 논리의 2단 구조로 구성되어 있다.

AND 평면내의 적항선과 OR 평면내의 출력선들로 구성되며, 각 적항선과 출력선등에는 클러킹 게이트 및 CMOS 인버터가 존재한다. 그리고 적항선들은 외부 입력에 의해 제어되는 NMOS 트랜지스터들이 직렬로 연결되어 있고, 출력선들은 적항선에 의해 제어되는 NMOS 트랜지스터가 병렬로 연결되어 있다. Fig. 4는 1개의 시스템 클럭 SC에 의해 동작되며, SC가 0일 때, 회로의 출력들은 0이 되고 SC가 1일 경우 외부 입력값에 따라 0을 그대로 유지하거나 1이 된다. 이 회로는 기존의 NMOS 회로를 그대로 이용할 수 있고 전력소모를 줄일 수 있다는 장점 등으로 널리 사용된다.

4.2. 다이내믹 CMOS PLA의 테스트 생성 알고리즘

이는 NMOS PLA의 테스트 생성과정과 유사하나 AND 평면이 직렬로 구성되어 있으므로 이 특징을 이용하여 약간의 변형을 거쳐 확대 적용할 수 있다.

- [단계 1] 최소화 과정을 거친 특성행렬의 내용을 저장한다.
- [단계 2] 시스템 클럭을 0으로 하여 모든 출력값을 0되게 한다.
이때 만일 출력이 0이 아닌 값이 될 경우는 출력 트랜지스터의 stack-at 고장에 해당된다.
- [단계 3] 시스템 클럭을 1로 하고, 쉬프트레지스터를 모두 1로 하여 모든 출력값이 0이 되게 한다. 이때 구한 테스트 패턴은 정상동작시 적항선 및 외부 출력을 0으로 하는 패턴이므로 외부 출력을 1로 만드는 고장인 stuck-at고장을 검출할 수 있다.
- [단계 4] 선택한 P_i 에 연결된 소자들을 ON 시키는 입력으로서 C_{in} 가 되고 이때의 정상출력값 C_{out} 를 구한다.
이는 선택한 적항선을 0으로 만드는 패턴이므로

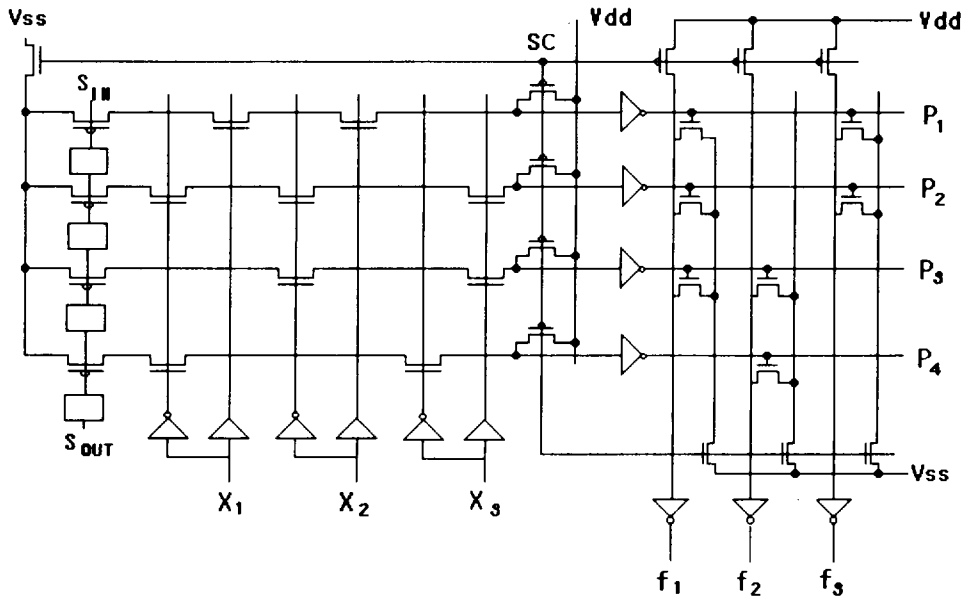


Fig. 4 Dynamic CMOS PLA Basic Structure

stuck-at. 잉여소자 고장 등을 검출할 수 있다.

[단계 5] 단계 4의 테스트 패턴 중 무정의인 C_a 의

입력치를 그 보수값으로 바꾼다.

이는 무정의 최소항에 대한 입력을 보수값으로 바꾸어준 패턴이므로 잉여소자 검출에 사용될 수 있다.

[단계 6] 단계 5의 테스트패턴 중 무정의가 아닌

C_a 의 입력에 대해 하나씩 그 보수값을 취해준다.

이는 무정의가 아닌 입력비트선을 1로 만드는 패턴 이므로 stuck-at, 누락고장, 단락고장 등을 검출할 수 있다.

V. 시뮬레이션 결과 및 비교검토

본 논문에서 제시된 알고리즘을 검증하기 위해 VHDL을 사용하여 회로를 기술한 후 이에 제안된 테스트 패턴을 가하여 출력을 비교하였다. 고장이 없는 경우의 출력은 그림 과 같이 올바른 출력을 구할 수 있었다. 이때 각종 고장의 경우에 대해 각각 시뮬레이션을 수행함으로써 본 알고리즘의 효용성을 구하였으며, Fig. 5 는 적항선 1 에서의 Stack-at-0 이 되었을 경우의 출력 결과를 보인 것이다.

제안된 알고리즘을 기존의 대표적인 설계방식들과의 특성을 비교하였다. 종래에는 디코더에 입력선을

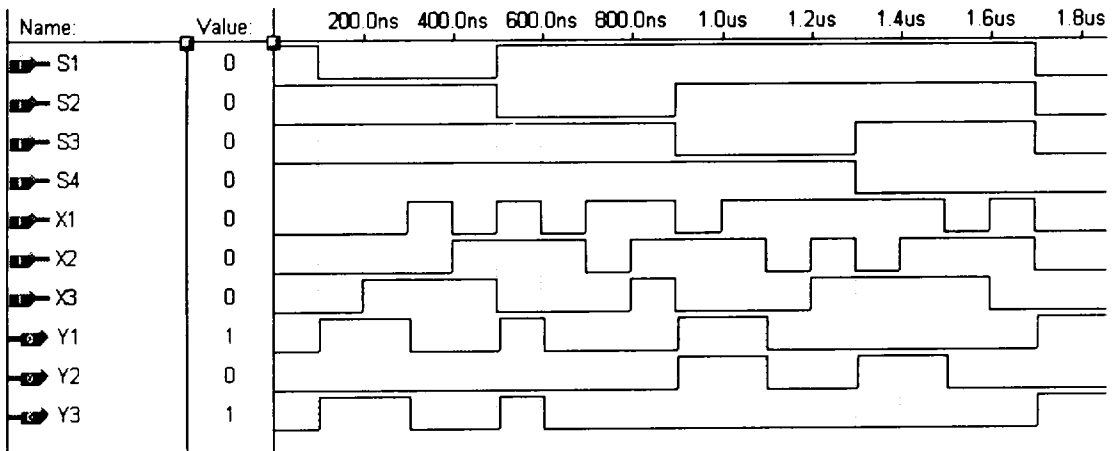


Fig. 5 Output result without Faults

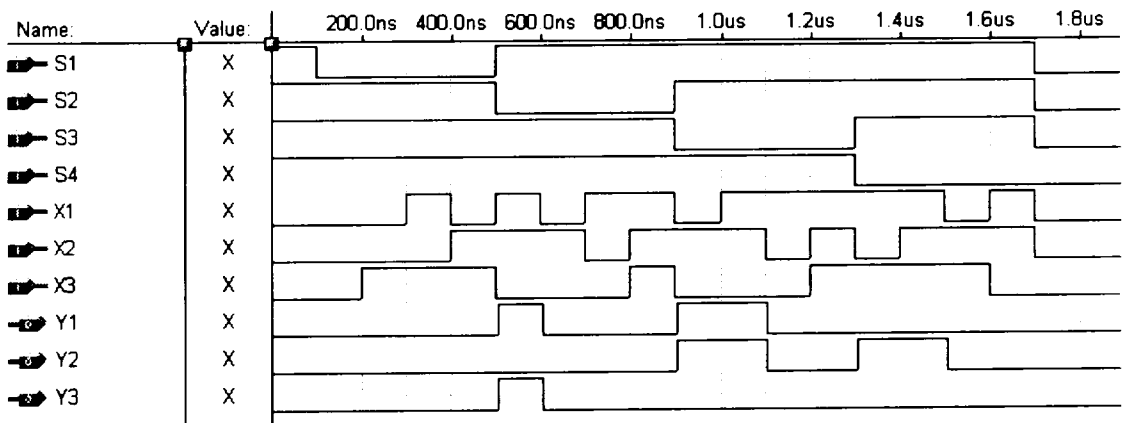


Fig. 6 Output Result with stack-at-0 at product line 1

Table 3. Comparison result

	SFK Method[4]	HO Method[3]	This Paper
Decoders	1 bit	2 bit	1 bit
Shifter Registers	2	1	1
Additional Inputs	2	4	-
Test Characteristic	Function Dependent	Function Independent	Function Dependent
Fault Model	s-a faults, bridging faults	s-a faults, bridging, short	s-a faults, bridging, short, missing, excess faults

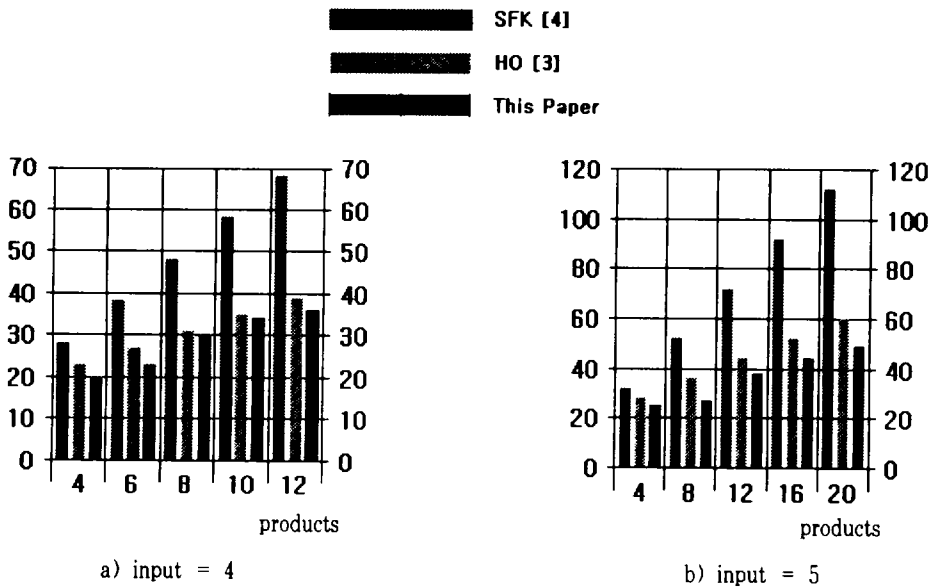


Fig. 7 Comparison Results

제어하는 기능을 주기 위해 여러개의 제어선과 게이트들을 추가하거나 출력선에 부가회로를 추가함으로써 칩의 크기가 커진다는 단점이 있다. 본 논문에서는 하나의 쉬프트 레지스터만 가함으로서 정상동작에 영향을 주지 않고 칩의 크기도 크게 증가하지 않는 방법을 채택하였다. 제안한 방법은 stuck-at 고장, 접점고장, 단락고장 및 다중고장의 대부분이 검출 가능하며 종래의 방법보다 높은 고장 검출율을 갖는다.

VI. 결론

본 논문에서는 효율적인 다출력 논리함수 최소화

기법과 이 과정을 거친 후, 이를 PLA로 구성할 경우, 부가회로가 적고 단일고장 및 다중고장에 대한 고장 검출이 용이한 PLA의 설계방식 및 고장검출기법을 제안하였다.

제안된 방식은 부가회로가 적으며, 테스트생성이 함수독립적인 방식에서 발생하는 지연시간이 없고, 인접 신호선 사이의 단락고장 검출이 가능하고 기존의 방법들에 비해 고장 검출율을 높였다. 테스트 생성이 함수 종속적이나 특성행렬로 부터 손쉽게 테스트 집합을 생성할 수 있다. 또, 이를 다이내믹 CMOS PLA에 확대 적용하여 적용함으로써 범용적인 PLA의 검사 방식으로 활용될 수 있음을 보였다.

PLA의 사용이 점차 증대되고 있는 시점에서 본

설계방식은 효율적인 테스트 용이한 PLA의 설계에 기여할 수 있을 것으로 기대된다.

추후 연구과제로는 내장검사기법을 사용하여 PLA의 검사효율을 높일 수 있는 방법으로서의 확대를 들 수 있으며 이에 대한 연구가 수행중이다.

참고문헌

- 1) M.Sachdev, H. Kerkhoff, 1999. Configurations for I_{DDQ} - Testable PLAs. IEEE Design & Test of Computers, April, pp.58-65.
- 2) M.H. Abd-El-Barr and Hasan, M.N., 1996. New MVL-PLA Structures based on Current-mode CMOS Technology. IEEE International Symposium on Multiple-Valued Logic (ISMVL-96), Spain, May 29-31, pp.98-103.
- 3) S.J.Hong, D.L.Ostapko, 1990. FITPLA: A programmable logic array for function independent testing. 10th Int.Symp. F.C.D., June, pp.131-136.
- 4) K.K.Saluza, K.Kinoshita, H.Fujiwara, 1983. An easily testable design of programmable logic arrays for multiple faults. IEEE Trans. Comput., Vol. C-32, Nov., pp.1028-1036.
- 5) Xu, Y., Abd-El-Barr, M.H., McCrosky, C., 1995. Graph-Based Output Phase Assignment for PLA Minimization. IEEE Trans. Computer Aided Design (CAD) of Integrated Circuits and Systems, Volume 14, No. 5, pp.613-622.
- 6) Y.Min, 1984. A PLA Design for Ease of Test Generation." in 14th FTCS, June, pp.436-442.
- 7) A. Mukherjee, 1986. Introduction to nMOS and CMOS VLSI Systems Design. Prentice-Hall.
- 8) D.L.Liu and E.J.McCluskey, 1988. Design of Large Embedded CMOS PLAs for Built-In Self Test. IEEE Trans. CAD, Vol. 7, No 1, pp.50-59.